

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-322215

(43)公開日 平成10年(1998)12月4日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 03 M 3/02

H 03 M 3/02

7/32

7/32

審査請求 未請求 請求項の数8 O L (全 21 頁)

(21)出願番号 特願平9-130149

(71)出願人 000005049

(22)出願日 平成9年(1997)5月20日

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 岸田 正浩

大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内

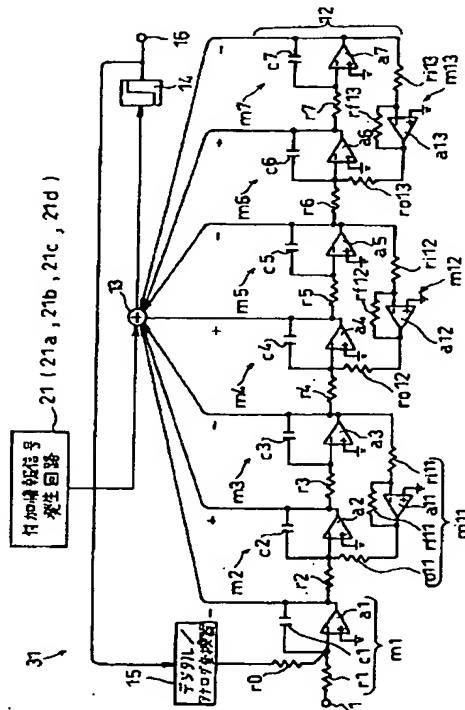
(74)代理人 弁理士 原 謙三

(54)【発明の名称】 1ビットデジタル信号を介した信号伝送方法、デルタシグマ変調回路、および、復調回路

(57)【要約】

【課題】 簡単な回路で、主信号に副信号を重畠し、1ビットデジタル信号を介して伝送可能な信号伝送方法、デルタシグマ変調回路および復調回路を提供する。

【解決手段】 デルタシグマ変調回路31において、入力信号は、積分器m1～m7にて高次積分される。各々の積分器出力全ては、加算器13にて加算された後、量子化器14にて量子化され、1ビットデジタル信号として出力される。また、帰還回路m11～m13からなる部分負帰還ループによって、1ビットデジタル信号の量子化ノイズの周波数特性には、所定の零点周波数にディップが形成される。さらに、付加情報信号発生回路21は、チャネル情報として、搬送周波数が当該零点周波数の信号を生成し、加算器13に入力する。これにより、1ビットデジタル信号の主信号に対して、当該チャネル情報が零点周波数での周波数分割多重で重畠される。



## 【特許請求の範囲】

【請求項1】所定の有効周波数を有する主信号を、零点制御を行い、上記有効周波数帯域内の予め定める特定周波数での量子化雑音が低下するようにデルタシグマ変調して1ビットデジタル信号に変調する工程と、伝送路または記録媒体を介して1ビットデジタル信号を伝送する伝送工程と、伝えられた上記1ビットデジタル信号を復調する工程とを有する1ビットデジタル信号を介した信号伝送方法において、

さらに、上記伝送工程の前に、上記特定周波数にて、上記1ビットデジタル信号の主信号に副信号を周波数分割多重で重畠する工程と、

上記伝送工程の後で、上記1ビットデジタル信号の上記特定周波数を弁別して、上記副信号を抽出する工程とを備えていることを特徴とする1ビットデジタル信号を介した信号伝送方法。

【請求項2】主信号となる入力信号が初段に入力され、互いに縦続に接続された複数の積分器と、上記各積分器の出力を加算する加算器と、上記加算器の出力を量子化して、1ビットデジタル信号を出力する量子化器と、上記積分器の出力を、当該積分器より前段の積分器の入力側へ負帰還して、予め定める特定周波数での上記1ビットデジタル信号の量子化雑音を低下させる部分負帰還回路とを有するデルタシグマ変調回路において、

上記特定周波数にて、上記1ビットデジタル信号の主信号に副信号を周波数分割多重で重畠する副信号重畠手段を備えていることを特徴とするデルタシグマ変調回路。

【請求項3】上記副信号重畠手段は、上記加算器の入力の1つに、上記副信号を上記特定周波数の搬送波を介して入力することを特徴とする請求項2記載のデルタシグマ変調回路。

【請求項4】上記主信号は、音声信号であり、上記副信号は、チャネル情報、プリエンファシスの有無、著作権擁護のためのフラグ、IDコード、マスタリングコード、または、時間情報のうちの少なくとも1つを示す信号であることを特徴とする請求項2または3記載のデルタシグマ変調回路。

【請求項5】所定の有効周波数帯域を有する主信号を、零点制御を行い、上記有効周波数帯域内の予め定める特定周波数での量子化雑音が低下するようにデルタシグマ変調して生成された1ビットデジタル信号を復調する復調回路において、

上記1ビットデジタル信号の主信号には、副信号が、上記特定周波数の搬送波を介して周波数分割多重で重畠されており、

上記1ビットデジタル信号から上記特定周波数成分を弁別して上記副信号を抽出すると共に、当該副信号に応じて所定の処理を行う制御手段を備えていることを特徴とする復調回路。

【請求項6】上記主信号は、音声信号であり、上記副信

号は、当該音声信号のチャネルを示すチャネル情報であると共に、

上記制御手段は、当該チャネル情報に基づいて、左右またはマルチチャネルの分離を行うことを特徴とする請求項5記載の復調回路。

【請求項7】上記主信号は、音声信号であり、上記副信号は、当該音声信号のプリエンファシスの有無を示すフラグであると共に、

上記制御手段は、当該フラグに基づいて、ディエンファシスのオン／オフを制御することを特徴とする請求項5記載の復調回路。

【請求項8】上記主信号は、音声信号であり、上記副信号は、当該音声信号の著作権擁護のためのフラグ、IDコード、またはマスタリングコードのうちの少なくとも1つであると共に、

上記制御手段は、当該副信号に基づいて、上記音声信号の複写または復調出力を制限することを特徴とする請求項5記載の復調回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、例えば、オーディオ信号処理などに、特に好適に用いられるデルタシグマ変調を用いた信号伝送方法、デルタシグマ変調回路、および、デルタシグマ変調にて生成された1ビットデジタル信号の復調回路に関するものである。

## 【0002】

【従来の技術】デジタル信号を伝送する方式として、従来より、複数のビットからなる1語を区切りとして伝送するマルチビット符号化方式と、デルタシグマ変調を用いて、1ビットデジタル信号に符号化して伝送する方式とが知られている。

【0003】マルチビット符号化方式の場合、送信または記録側は、所定のフォーマットに応じて、データを1語にエンコードする。一方、受信または再生側は、語同期を取りて、各語の区切りを判別すると共に、各語をデコードしてデータを識別する。したがって、双方の側で、語のフォーマットに応じた信号処理を行う信号処理回路が必要になる。この結果、語のフォーマットが決定され、サンプリング周波数やダイナミックレンジなどが一旦規格化されると、規格を変更することが困難である。さらに、当該方式では、語同期を必要とするため、伝送路などの影響を受けやすく、発生したエラーを訂正するためのエラー訂正回路が不可欠である。

【0004】これに対して、1ビットデジタル符号化方式は、1ビットデジタル信号が語同期の不要な微細に細分化されたデータの流れであるため、伝送路などの影響を受けにくく、エラーに強いという利点を有している。したがって、当該方式では、送信または記録装置と、受信または再生装置との双方において、エラー訂正回路が不要になる。さらに、1ビットデジタル信号が音声信号

である場合、受信または再生側は、簡単な低次のローパスフィルタによって、当該1ビットデジタル信号をアナログ信号に復調できるので、復調に複雑な処理回路が不要になる。したがって、近年では、マルチビット符号化方式に比べて利点の多い1ビットデジタル符号化方式が注目を集めている。

【0005】図12に示すように、従来の典型的なデルタシグマ変調回路100において、入力端子101から入力されたアナログの音声信号は、縦続に接続された積分器m101～m107にて積分される。各段の積分器出力は、加算器103にて加算された後、量子化器104に入力される。量子化器104は、加算器103の出力が0以上であるとき、出力端子106に「1」の出力を導出し、加算器103の出力が0未満のとき「0」の出力を導出する。また、量子化器104の出力は、デジタル／アナログ変換器105および帰還抵抗r100を介して、初段の積分器m101の入力側に負帰還される。

【0006】一方、デルタシグマ変調回路101が出力する1ビットデジタル信号のノイズフロアにディップを形成して、当該ノイズフロア形状を所望の形状に調整するために、デルタシグマ変調回路101の積分回路102には、3つの帰還回路m111～m113が設けられている。帰還回路m111は、第3段目の積分器m103の出力を第2段目の積分器m102の入力側に負帰還し、帰還回路m112およびm113は、第5および第7段目の積分器m105・m107の出力を、第4および第6段目の積分器m104・m106の入力側に負帰還する。

【0007】これらの帰還回路m111～m113によって、3つの部分負帰還ループが形成され、1ビットデジタル信号の量子化ノイズレベルは、各部分負帰還ループのゲインに応じた周波数（零点周波数）を中心に急峻に低下する。なお、以下では、量子化ノイズの周波数特性のうち、レベルが低下している部分をディップと称する。これらのディップによって、高域の量子化ノイズが抑制され、例えば、20kHzなど、所望の利用周波数帯域の上限まで、量子化ノイズのレベルを所定の値以下に保つことができる。

【0008】上記デルタシグマ変調回路100において、音声信号が1ビットデジタル信号へと変調された後、当該1ビットデジタル信号は、図示しない受信あるいは再生装置において、例えば、低次のローパスフィルタなどにより、アナログの音声信号へと復調される。

【0009】

【発明が解決しようとする課題】しかしながら、上記構成のデルタシグマ変調回路100を用いて変調した場合、音声信号などの主信号と、例えば、チャネル情報を示すフラグなどの副信号との双方を伝送することが困難であるという問題を有している。

【0010】ここで、主信号と副信号との双方を伝送する従来の方法として、マルチビット符号化方式における信号伝送方法の場合を例にして説明する。なお、以下では、従来における典型的なマルチビット符号化方式の一例として、例えば、コンパクトディスクなどのデジタルオーディオを用い、主信号と副信号とを伝送または記録再生する方法について説明する。

【0011】コンパクトディスクの場合、サンプリング周波数Fsは、44.1kHzに設定されており、図13に示すように、音声帯域の上限周波数Faは、1/2Fs、すなわち、22.05kHzとなる。ここで、FaからFsまでの周波数帯域では、音声帯域の信号がFaで鏡像反転して折り返されるので、この帯域（折り返し領域）は、信号伝送に使用できない。したがって、主信号である音声信号と共に、例えば、左右いずれのチャネルであるかを識別するフラグなどのサブコードを副信号として伝送する場合、当該サブコードは、音声信号を示すメインデータと共に、それぞれ時間軸方向に分割されて伝送される。

【0012】この結果、送信または記録側では、規格化されたデータフォーマットに合わせて、上記フラグや音声信号をエンコードする回路が必要になると共に、受信または再生側では、受信または再生されたデータをデコードして、上記メインデータとサブコードとを分離する回路が必要になる。

【0013】なお、メインデータとサブコードとを時分割して伝送する方法は、簡単な回路で復調できるという1ビットデジタル符号化方式の利点を阻害するため、1ビットデジタル符号化方式に適用することはできない。

【0014】本発明は、上記の問題点を鑑みてなされたものであり、その目的は、簡単な回路で、主信号に副信号を重畠して伝送可能な1ビットデジタル信号を介する信号伝送方法、デルタシグマ変調回路、および、復調回路を提供することにある。

【0015】

【課題を解決するための手段】請求項1の発明に係る1ビットデジタル信号を介した信号伝送方法は、上記課題を解決するために、所定の有効周波数を有する主信号を、零点制御を用い、上記有効周波数帯域内の予め定める特定周波数での量子化雜音が低下するようデルタシグマ変調して1ビットデジタル信号に変調する工程と、伝送路または記録媒体を介して1ビットデジタル信号を伝送する伝送工程と、伝えられた上記1ビットデジタル信号を復調する工程とを有する1ビットデジタル信号を介した信号伝送方法において、さらに、以下の工程を備えていることを特徴としている。

【0016】すなわち、上記伝送工程の前に、上記特定周波数にて、上記1ビットデジタル信号の主信号に副信号を周波数分割多重で重畠する工程と、上記伝送工程の後で、上記1ビットデジタル信号の上記特定周波数を弁

別して、上記副信号を抽出する工程とを備えている。

【0017】上記構成において、変調側では、例えば、アナログ信号やマルチビットデジタル信号などとして与えられる主信号が1ビットデジタル信号にデルタシグマ変調される。この際、1ビットデジタル信号の量子化雑音レベルは、零点制御によって、主信号の有効周波数帯域内の予め定められる特定周波数で低下している。

【0018】さらに、変調側において、1ビットデジタル信号には、特定周波数の搬送波を介して、副信号が周波数分割多重で重畠される。当該特定周波数では、量子化雑音レベルと、主信号のレベルの下限値とのレベル差は、有効周波数帯域内の近隣の周波数に比べて大きくなっている。当該特定周波数では、主信号のダイナミックレンジと副信号のダイナミックレンジとの双方を確保できる。

【0019】一方、当該1ビットデジタル信号が伝送路または記録媒体を介して伝送されると、復調側では、受け取った1ビットデジタル信号から、主信号を復調する。例えば、主信号が音声信号の場合、1ビットデジタル信号に含まれた主信号は、簡単な低次のローパスフィルタを通過させるなどして復調される。

【0020】さらに、復調側では、例えば、バンドパスフィルタやフーリエ変換などを用いて、上記1ビットデジタル信号の特定周波数成分を弁別し、副信号を抽出する。上述したように、主信号のダイナミックレンジと副信号のダイナミックレンジとが十分確保されているので、復調側では、何ら支障無く副信号を抽出できる。

【0021】上記1ビットデジタル信号を介した信号伝送方法では、副信号が主信号に周波数分割多重によって重畠されているので、時分割多重などにて伝送する場合に必要となるような複雑な構成を必要とせず、信号処理のための回路を簡略化できる。この結果、1ビットデジタル信号にて信号を伝送する場合の利点を阻害することなく、主信号と副信号とを重畠できる。

【0022】また、上記特定周波数は、主信号の有効周波数帯域内に設定されている。したがって、特定周波数を知らない第三者は、主信号と副信号とを分離できない。例えば、第三者が、1ビットデジタル信号から主信号の有効帯域成分のみを弁別しても、弁別された信号には、主信号と副信号との双方が含まれている。また、周波数分割多重なので、時分割多重で付加した場合に比べても、主信号と副信号とを分離しにくい。この結果、第三者による副信号の改竄を防止できる。

【0023】請求項2の発明に係るデルタシグマ変調回路は、上記課題を解決するために、主信号となる入力信号が初段に入力され、互いに縦続に接続された複数の積分器と、上記各積分器の出力を加算する加算器と、上記加算器の出力を量子化して、1ビットデジタル信号を出力する量子化器と、上記積分器の出力を、当該積分器より前段の積分器の入力側へ負帰還して、予め定める特定

周波数での上記1ビットデジタル信号の量子化雑音を低下させる部分負帰還回路とを有するデルタシグマ変調回路において、上記特定周波数にて、上記1ビットデジタル信号の主信号に副信号を周波数分割多重で重畠する副信号重畠手段を備えていることを特徴としている。

【0024】上記構成では、積分器、加算器、量子化器、および部分負帰還回路によって、入力信号は、1ビットデジタル信号にデルタシグマ変調される。また、例えば、副信号に基づいて生成した特定周波数の信号を上記加算器に入力するなどして、副信号重畠手段は、当該1ビットデジタル信号の主信号に副信号を周波数分割多重にて重畠する。

【0025】上記特定周波数は、積分器や部分負帰還回路などによって形成される部分負帰還ループのゲインによって設定され、1ビットデジタル信号の量子化雑音のレベルは、当該特定周波数で低下している。したがって、当該特定周波数において、主信号のダイナミックレンジと、副信号のダイナミックレンジとの双方を確実に確保できる。

【0026】それゆえ、請求項1と同様に、復調が容易であるというデルタシグマ変調の特徴を阻害することなく、主信号と副信号とを1ビットデジタル信号に変調可能なデルタシグマ変調回路を提供できる。また、当該デルタシグマ変調回路は、主信号の有効周波数帯域内で副信号を重畠しているので、第三者による副信号の除去あるいは改竄を困難にすることができます。

【0027】また、請求項3の発明に係るデルタシグマ変調回路は、請求項2記載の発明の構成において、上記副信号重畠手段は、上記加算器の入力の1つに、上記副信号を上記特定周波数の搬送波を介して入力することを特徴としている。

【0028】上記構成では、副信号重畠手段は、デルタシグマ変調に使用される加算器を副信号の重畠にも使用している。したがって、重畠のために設ける回路を簡略化できる。

【0029】さらに、請求項4の発明に係るデルタシグマ変調回路は、請求項2または3記載の発明の構成において、上記主信号は、音声信号であり、上記副信号は、チャネル情報、プリエンファシスの有無、著作権擁護のためのフラグ、IDコード、マスタリングコード、または、時間情報のうちの少なくとも1つを示す信号であることを特徴としている。

【0030】上記構成では、上記の各副信号となる情報は、主信号となる音声信号に密接に関連し、かつ、情報量が少ない情報である。したがって、特定周波数における量子化レベルと、主信号レベルの下限値とのレベル差が少ない場合、すなわち、副信号のダイナミックレンジが余り広くとれない場合であっても、十分なS/Nで副信号を重畠して伝送あるいは記録できる。この結果、復調側において、上記副信号に基づいて、チャネル分離や

プリエンファシスの制御など、主信号に関連した処理を行うことができる。

【0031】請求項5の発明に係る復調回路は、上記課題を解決するために、所定の有効周波数帯域を有する主信号を、零点制御を用い、上記有効周波数帯域内の予め定める特定周波数での量子化雑音が低下するようにデルタシグマ変調して生成された1ビットデジタル信号を復調する復調回路において、上記1ビットデジタル信号の主信号には、副信号が、上記特定周波数の搬送波を介して周波数分割多重で重複されており、上記1ビットデジタル信号から上記特定周波数成分を弁別して上記副信号を抽出すると共に、当該副信号に応じて所定の処理を行う制御手段を備えていることを特徴としている。

【0032】上記構成では、1ビットデジタル信号の量子化雑音のレベルは、特定周波数において低下しているため、当該特定周波数において確保可能なダイナミックレンジは、有効周波数帯域内の近隣の周波数に比べて大きくなっている、副信号のS/Nを十分に確保できる。したがって、上記制御手段は、当該特定周波数成分を弁別することによって、1ビットデジタル信号に重複されていた副信号を抽出し、例えば、チャネルの分離など、所定の処理を行うことができる。さらに、上記副信号は、周波数分割多重で重複されているので、復調回路は、時分割多重で重複する場合に比べて、主信号を容易に復調できる。

【0033】なお、請求項5記載の発明の構成において、制御手段が主信号のレベルを監視し、当該レベルが所定の値以下の場合に副信号を抽出することによって、ディップを余り深く形成できない場合、すなわち、特定周波数における量子化ノイズレベルが余り低下しない場合であっても、確実に副信号を抽出できる。

【0034】また、請求項6の発明に係る復調回路は、請求項5記載の発明の構成において、上記主信号は、音声信号であり、上記副信号は、当該音声信号のチャネルを示すチャネル情報であると共に、上記制御手段は、当該チャネル情報に基づいて、左右またはマルチチャネルの分離を行うことを特徴としている。

【0035】それゆえ、復調回路は、音声信号のチャネルを正しく判定できる。したがって、例えば、各チャネルの1ビットデジタル信号を伝送する伝送路が入れ換わっていた場合など、復調回路が、通常とは異なるチャネルの1ビットデジタル信号を受け取った場合であっても、当該復調回路は、何ら支障なく、左右またはマルチチャネルの分離が可能となる。この結果、復調回路が、例えば、音声信号を音響化したり、あるいは、さらに、記録や伝送を行ったりする場合、当該復調回路は、音声信号の出力などを正しいチャネルで行うことができる。

【0036】一方、請求項7の発明に係る復調回路は、請求項5記載の発明の構成において、上記主信号は、音声信号であり、上記副信号は、当該音声信号のプリエン

ファシスの有無を示すフラグであると共に、上記制御手段は、当該フラグに基づいて、ディエンファシスのオン／オフを制御することを特徴としている。

【0037】それゆえ、復調回路は、受け取った1ビットデジタル信号の音声信号がプリエンファシス処理された信号であるか否かを確実に判別して、音声信号にディエンファシスをかけることができる。

【0038】さらに、請求項8の発明に係る復調回路は、請求項5記載の発明の構成において、上記主信号は、音声信号であり、上記副信号は、当該音声信号の著作権擁護のためのフラグ、IDコード、またはマスタリングコードのうちの少なくとも1つであると共に、上記制御手段は、当該副信号に基づいて、上記音声信号の複写または復調出力を制限することを特徴としている。

【0039】上記構成において、上記制御手段は、1ビットデジタル信号から副信号を抽出し、副信号が複写または復調出力を許可していない場合、音声信号の複写または復調出力を制限する。例えば、音声信号の著作権を擁護するなどの目的で、変調側が副信号として著作権擁護のためのフラグを重複した場合、変調側、すなわち、音声信号の作成者の意図に応じて、復調側における音声信号の複写または復調は制限される。また、音声信号を区別するためのIDコードや、音声信号の種別を識別するためのマスタリングコードなどを副信号として重複した場合、これらの副信号に基づいて、復調側は、自らが当該音声信号の複写または復調出力を許可されているか否かを判別して、許可されていない場合、複写または復調を制限する。いずれの場合であっても、制御手段が副信号に基づいて音声信号の複写または復調出力を制限するので、変調側において、復調側における複写または復調出力の許可／不許可を指定できる。

【0040】ところで、1ビットデジタル信号を受け取るまでの間に、上記副信号が改竄されると、復調回路は、音声信号の複写または復調出力を制限できない。したがって、従来は、副信号の改竄を防止するために、例えば、副信号を暗号化するなどして、副信号の改竄を防止している。しかしながら、この方法では、暗号化および復号化するために、例えば、順序回路など、複雑な回路を必要とする。

【0041】これに対して、請求項8記載の発明の構成では、副信号は、音声信号の有効周波数帯域内の特定周波数にて周波数分割多重される。したがって、上記特定周波数を知らない第三者は、副信号と主信号とを分離することさえできず、容易に改竄できない。この結果、従来のように、時分割多重で伝送される副信号に比べて、改竄が困難である。さらに、上記特定周波数は、有効周波数帯域内に設けられているので、ある周波数成分を不意に除去すると、音声信号が変化する。したがって、副信号の改竄をさらに確実に防止できる。この結果、復調回路は、変調側において指示された複写または復調出

力の許可／不許可に基づいて、音声信号の複写または復調出力を確実に制限できる。

【0042】なお、請求項6から8記載の発明の構成において、採用される副信号、すなわち、チャネル情報、プリエンファシスの有無、著作権擁護のためのフラグ、IDコード、および、マスタリングコードは、いずれも情報量が少なく、小ビットのフラグで示すことができる。したがって、請求項6から8記載に係る復調回路は、副信号に確保可能なダイナミックレンジが比較的狭くとも、確実に副信号を判別できる。

#### 【0043】

##### 【発明の実施の形態】

【第1の実施形態】本発明の一実施形態について図1から図4に基づいて説明すると以下の通りである。すなわち、本実施形態に係る音声信号伝送装置は、音声信号を主信号として伝送する装置であり、当該主信号に周波数分割で多重する副信号として、当該音声信号が左右いずれのチャネルであるかを示すチャネル情報を使用している。

【0044】図2に示すように、上記音声信号伝送装置1は、左右チャネルの音声信号源2L・2Rが出力したアナログまたはマルチビットの音声信号を、送信回路3で1ビットデジタル信号にデルタシグマ変調した後、例えば、光ファイバなどの伝送路4L・4Rを介して、受信回路(復調回路)5へ伝送すると共に、受信回路5にて、これら1ビットデジタル信号を復調し、アンプ6L・6Rを介して、左右チャネルのスピーカ7L・7Rから音響化するものである。ここで、上記伝送路4L・4Rの入れ換わりなどに対して、左右各チャネルの音声信号を正確に判別して復調出力するために、送信回路3において、いずれか一方(ここでは、左チャネル)で、副信号となるチャネル情報が、主信号となる音声信号に周波数分割多重化される。なお、以下では、各部材を参照する際、左右を特に区別しない場合、あるいは、両者を総称する場合は、参照符号の最後に付された英字(RあるいはL)を省き、例えば、音声信号源2のように参照する。

【0045】図1に示すように、上記デルタシグマ変調回路31は、上記音声信号源2から入力端子11に入力されるアナログの音声信号を高次積分する積分回路12と、各次の積分出力を加算する加算器13と、加算器13の出力を量子化して、1ビットデジタル信号を出力する量子化器14と、当該量子化器14の出力をアナログ値に変換して、上記積分回路12に帰還させるデジタル／アナログ変換器15とを備えている。

【0046】上記量子化器14は、加算器13の出力を所定のサンプリング周波数FSでサンプリングし、当該出力が0以上のとき、「1」の出力を導出し、0未満のとき「0」の出力を導出する。これにより、サンプリング周波数FSの1ビットデジタル信号が出力端子16か

ら出力される。

【0047】マルチビットデジタル信号を高速サンプリングする1ビットデジタル符号化方式では、量子化器14のサンプリング周波数FSは、通常、マルチビットデジタル信号のサンプリング周波数をfsとすると、例えば、32fsや64fsなど、fsの所定数倍に設定される。ここで、コンパクトディスクの場合のように、fs=44.1kHzとすると、FSは、32fsの場合で、1.41MHz、64fsの場合で、2.82MHzとなる。

【0048】一方、上記積分回路12は、縦続接続された7次の積分器m1～m7と、部分負帰還ループを構成するための帰還回路(部分負帰還回路)m11～m13と、初段の積分器m1の入力側と上記デジタル／アナログ変換器15との間に設けられた帰還抵抗r0とを具備して構成されている。なお、当該帰還抵抗r0は、後述する差動増幅器a1の反転入力端子に接続されている。

【0049】第1次の積分器m1は、差動増幅器a1と、当該差動増幅器a1の入出力間に設けられた、時定数素子であるコンデンサc1と、積分器m1の入力と差動増幅器a1の反転入力端子との間に設けられた入力抵抗r1とを備えている。なお、差動増幅器a1の非反転入力端子は、接地されている。この差動増幅器a1からの出力は、積分器m1の出力として、次段の積分器m2と上記加算器13とに入力される。

【0050】次段以降の積分器m2～m7も、同様に構成されており、対応する部分の参照符号は、同一英字に、各積分器m2～m7の次数に対応した添数字を付して示している。例えば、第3次の積分器m3では、積分器m2の出力が入力抵抗r3を介して入力され、差動増幅器a3の出力は、次段の積分器m4と加算器13とに入力される。

【0051】また、上記帰還回路m11は、第2次の積分器m2、および、第3次の積分器m3に関連して設けられており、積分器m3の出力を積分器m2の入力側に負帰還させることができる。具体的には、当該帰還回路m11は、差動増幅器a11と、当該差動増幅器a11の反転入力端子に一端が接続された入力抵抗ri11と、差動増幅器a11の入出力間に設けられた帰還抵抗rf11と、差動増幅器a11の出力に一端が接続された出力抵抗ro11とを備えている。上記入力抵抗ri11の他端は、帰還回路m11の入力、すなわち、積分器m3の出力に接続されており、上記出力抵抗ro11の他端は、帰還回路m11の出力、すなわち、積分器m2に設けられた差動増幅器a2の反転入力端子に接続されている。なお、差動増幅器a11の非反転入力端子は接地されている。同様に、第4次の積分器m4と第5次の積分器m5とに関連して、帰還回路m12が設けられており、第6次の積分器m6と第7次の積分器m7とに関連して、帰還回路m13が設けられている。両帰還回

路m12・m13の構成は、帰還回路m11の構成と同様であるため、対応する部分の参照符号は、同一英字に、帰還回路m12・m13の添数字と同じ添数字をして示している。

【0052】上記帰還回路m11～m13によって、積分回路12内には、3つの部分負帰還ループが形成される。例えば、帰還回路m11により形成される部分負帰還ループでは、積分器m2の出力は、積分器m3で積分および反転され、さらに、帰還回路m11において正転

$$f = FS \times (G_p)^{1/2} / 2\pi$$

となる。なお、上式(1)において、FSは、デルタシグマ変調回路31のサンプリング周波数である。このように、1ビットデジタル信号の量子化ノイズレベルを、各零点周波数で低下させることによって、所望の周波数帯域における量子化ノイズレベルを一定の値以下に抑えることができる。

【0054】部分負帰還ループのゲインGpは、部分負帰還ループを構成する差動増幅器の乗算器係数によって決定される。例えば、帰還回路m11により形成される部分負帰還ループのゲインGpは、差動増幅器a2・a3・a11の乗算器係数の積で決定される。したがって、これらの乗算器係数は、所定の周波数帯域において、所定のダイナミックレンジが保たれ、かつ、零点周波数が所望の周波数となるように設定される。

【0055】ここで、上記周波数帯域とダイナミックレンジとの一例として、現行の民生用デジタルオーディオ

$$\begin{aligned}\alpha_1 &= \alpha_3 / (2 \cdot \sqrt{2}) \\ \alpha_2 &= \alpha_3 / \sqrt{2}\end{aligned}$$

などに設定される。

【0057】さらに、本実施形態に係るデルタシグマ変調回路31には、副信号を上記零点周波数の搬送波で振幅変調して、付加情報信号を発生する付加情報信号発生回路(副信号重畠手段)21が設けられている。当該付加情報信号発生回路21の出力は、加算器13に印加され、各積分器m1～m7の出力および付加情報信号の合計が量子化器14に出力される。

【0058】本実施形態では、上記付加情報信号の主信号への重畠は、デルタシグマ変調回路31内の加算器13を用いて行われている。当該加算器13は、デルタシグマ変調する際、量子化出力を遅延して入力側に負帰還するために必要不可欠の構成であり、当該加算器13を付加情報信号の重畠に兼用することによって、特別な構成を付加することなく、主信号と副信号とを多重化して伝送できる。

【0059】なお、図1では、説明の便宜上、デルタシグマ変調回路31において、積分次数が7次で、部分負帰還ループの数が3つの場合を例にして説明したが、これに限るものではない。零点制御が可能なデルタシグマ変調回路であれば、本実施形態と同様の効果が得られる。

された後、積分器m2に設けられた差動増幅器a2の非反転入力端子に負帰還される。

【0053】これら3つの部分負帰還ループによって、1ビットデジタル信号の量子化ノイズレベルの周波数特性には、図3に示すように、3つのディップが形成される。ディップの中心周波数(零点周波数)fは、それぞれの部分負帰還ループのループゲインGpによって決まり、以下の式(1)に示すように、

$$\dots (1)$$

機器で要求される条件を挙げると、10kHz～20kHzの周波数帯域において、90～100dB程度のS/Nを保つことが要求される。したがって、上記各部分負帰還ループのゲインGpは、図3に示すように、例えば、20kHz以下の領域において、所望のダイナミックレンジ(例えば、90dB程度)を確保できるような大きさに設定される。

【0056】このように、上記所定の周波数帯域が音声帯域(通常可聴帯域)の場合を例にして説明すると、音声帯域の上限(20kHz付近)を中心にディップを形成することによって、当該音声帯域の量子化ノイズフロアの深さを効果的に低下させることができる。この場合、ディップが存在する帯域は、1kHz～40kHz程度となる。また、上記3つのディップの周波数(零点周波数)α1、α2、α3は、例えば、以下の式(2)、(3)に示すように、

$$\dots (2)$$

$$\dots (3)$$

【0060】ここで、副信号と付加情報信号との対応、具体的には、副信号をどのように符号化するか、あるいは、どの零点周波数に何ビットの情報量を持つフラグを割り当てるかは、様々に設定できるが、以下では、図2を参照して、左チャネルの1ビットデジタル信号にのみチャネル情報を付加し、かつ、上記3つの零点周波数を低い方からα1・α2・α3としたとき、音声信号が左チャネルの場合、零点周波数α2のみにフラグを立てる場合を例にして説明する。

【0061】この場合、各チャネルに対応する零点周波数は、1つであり、当該零点周波数にて付加する情報量は1ビットである。したがって、付加情報信号発生回路21は、当該零点周波数にて所定のレベルで発振する発振器22と、当該発振器22の出力を付加情報信号として出力するか否かを選択するスイッチ23とによって実現できる。

【0062】本実施形態では、左チャネル側のデルタシグマ変調回路31Lにおいて、上記発振器22は、発振周波数が2番目の零点周波数α2に設定され、出力レベルは、零点周波数α2における量子化ノイズレベルから、音声信号レベルの下限値までの大きさよりも、小さく設定されている。また、上記スイッチ23は、当該デ

ルタシグマ変調回路31Lに印加される音声信号がステレオ信号のとき導通する。なお、例えば、モノラル信号のときなど、当該音声信号が左チャネルではないとき、スイッチ23は遮断される。

【0063】本実施形態に係る音声信号伝送装置1は、チャネル情報を付加する構成を簡略化するため、左チャネルの1ビットデジタル信号にのみチャネル情報を付加し、右チャネルの1ビットデジタル信号には付加していない。すなわち、右チャネルのデルタシグマ変調回路32Rは、音声信号源2Rからのアナログ音声信号を、そのままデルタシグマ変調している。具体的には、図4に示すように、当該デルタシグマ変調回路32は、図1に示すデルタシグマ変調回路31から付加情報信号発生回路21を省いた構成となっている。また、これに伴って、図1に示す加算器13に代えて、入力の数が1つ少ない加算器13aが用いられている。なお、残余の構成は、デルタシグマ変調回路31と同様であるため、同一の機能を有する部材には、同一の符号を付して説明を省略する。

【0064】これにより、図2に示す送信回路3において、デルタシグマ変調回路31Lは、音声信号源2Lが出力したアナログの音声信号をデルタシグマ変調し、かつ、左チャネルであることを示すチャネル情報を重畠する。この結果、チャネル情報が重畠された1ビットデジタル信号は、出力端子41Lから出力される。これら左右チャネルの1ビットデジタル信号は、伝送路4L・4Rを介して、受信回路5に伝送される。なお、本実施形態では、右チャネル側の出力端子41Rから出力される1ビットデジタル信号には、チャネル情報が重畠されていない。

【0065】一方、送信回路5では、伝送路4Lを介し、入力端子42Lから入力された1ビットデジタル信号

$$F_t = 32 \times 44.1 / 2 = 705.$$

$$F_a = 32 \times 44.1 / 6 = 235.$$

となる。

【0070】しかしながら、実際に回路をハードウェア化した場合、上記上限周波数Ft、Faまでの周波数帯域において、量子化ノイズを十分に低減することは困難である。したがって、現行の民生用デジタルオーディオ機器で要求されるS/Nの条件、すなわち、10~20kHzでのS/Nを90~100dB程度とすることが比較的容易に実現できるように、上記上限周波数Ft、Faの現実的な値は、それらの1/2~1/4程度となっている。具体的には、例えば、Faは、50kHz程度、Ftは120kHz程度に設定される。なお、上記サンプリング周波数Fsを64fsまで上げた場合には、各上限周波数Fa・Ftは、それぞれ100kHz、240kHz程度となる。

【0071】また、上記チャネル切り換え回路53は、具体的には、リレーやアナログスイッチなどで実現さ

号は、復調回路51Lおよびローパスフィルタ52Lを介して、チャネル切り換え回路53に伝えられる。同様に、伝送路4Rを介し、入力端子42Rから入力された1ビットデジタル信号は、復調回路51Rおよびローパスフィルタ52Rを介して、上記チャネル切り換え回路53に印加される。なお、当該チャネル切り換え回路53、および、後述するチャネル判別回路63が、特許請求の範囲に記載の制御手段に対応している。

【0066】上記各復調回路51は、例えば、ローパスフィルタなどで実現されている。この場合、ローパスフィルタの遮断周波数は、1ビットデジタル信号で伝送可能な伝送帯域の上限周波数Ftに設定されている。これにより、1ビットデジタル信号は、アナログ信号に変調される。なお、上記ローパスフィルタ52は、音声信号の有効周波数帯域より高域のノイズ成分を除去できればよい。したがって、特に、高次のフィルタではなく、1次のフィルタで十分である。この場合は、例えば、1個の抵抗と1個のコンデンサで実現できる。

【0067】また、各復調回路51の後段に配された各ローパスフィルタ52の遮断周波数は、上記伝送帯域のうち、音声信号を伝送する帯域（音声帯域）の上限周波数Faに設定されている。これにより、各ローパスフィルタ52において、上記アナログ信号から主信号となる音声信号が抽出され、チャネル切り換え回路53へ入力される。

【0068】ここで、高速サンプリング1ビット符号化方式では、サンプリング周波数をFsとすると、Fs/2が伝送帯域の上限周波数Ftとなり、Fs/6が音声帯域として使用可能な周波数帯域の上限周波数Faとなることが知られている。

【0069】例えば、Fs = 32 fs、fsをコンパクトディスクの場合のように、44.1 kHzとすると、

$$6 [kHz] \quad \dots (4)$$

$$2 [kHz] \quad \dots (5)$$

れ、1つの入力を、2つの出力のうちの何れか一方を選択して出力するスイッチs1・s2を備えている。スイッチs1の共通接点s1Cは、ローパスフィルタ52Lに接続されており、スイッチs2の共通接点s2Cは、ローパスフィルタ52Rに接続されている。また、スイッチs1の一方の個別接点s1Lと、スイッチs2の一方の個別接点s2Lとは共通に左チャネルのアンプ6Lを介してスピーカ7Lに接続されている。同様に、両スイッチs1・s2の残余の個別接点s1R・s2Rは共通に右チャネルのアンプ6Rを介してスピーカ7Rに接続されている。各スイッチs1・s2は、後述するチャネル判別回路63の指示に応じ、連動して切り換えられる。これにより、受信回路5が両チャネルのスピーカ7L・7Rへアナログの音声信号を出力する際、左右チャネルを入れ換えるか否かを選択できる。

【0072】さらに、1ビットデジタル信号に重畠され

た副信号、すなわち、チャネル情報を抽出するために、受信回路5には、上記各復調回路51L・51Rの出力に接続され、中心周波数が上記零点周波数 $\alpha_2$ に設定されたバンドパスフィルタ62L・62Rと、各バンドパスフィルタ62L・62Rの出力に基づいて、上記チャネル切り換え回路53を制御するチャネル判別回路63L・63Rが設けられている。

【0073】上記各バンドパスフィルタ62は、上記零点周波数 $\alpha_2$ 以外の帯域におけるノイズを除去できればよく、チャネル情報の抽出は、チャネル判別回路63に行われる。したがって、特に高次のフィルタを用いることなく、1次のフィルタで実現できる。

【0074】また、左チャネルのチャネル判別回路63Lは、バンドパスフィルタ62Lの出力信号をフーリエ変換し、上記周波数 $\alpha_2$ 成分が所定の値を越えていた場合、左チャネルを示すフラグが立っていると判定する。さらに、当該チャネル判別回路63Lは、左チャネルを示すフラグが立っていると判定したとき、上記チャネル切り換え回路53内のスイッチs1において、個別接点s1L側を導通させ、スイッチs2の個別接点s2R側を導通させる。一方、右チャネルのチャネル判別回路63Rは、チャネル判別回路63Lと同様に、バンドパスフィルタ62Rの出力信号の周波数 $\alpha_2$ 成分が所定の値を越えていた場合に、左チャネルを示すフラグが立っていると判定して、チャネル判別回路63Lの場合とは逆に、上記チャネル切り換え回路53内のスイッチs1に個別接点s1R側を選択させ、スイッチs2に個別接点s2L側を選択させる。

【0075】ここで、例えば、副信号としてチャネル情報を重複する場合のように、重複した副信号を常時抽出する必要がない場合、各チャネル判別回路63は、特定の時点で副信号を抽出することによって、主信号と副信号とを分離する際の精度をさらに向上できる。

【0076】具体的には、各チャネル判別回路63は、副信号が存在する周波数に隣接した狭帯域において、バンドパスフィルタ62の出力信号レベルを監視して、1ビットデジタル信号における主信号のレベルを監視する。例えば、無入力信号時や微小入力信号など、当該狭帯域における出力信号レベルが所定のレベルに到達しない期間に、チャネル判別回路63は、副信号を抽出する。

【0077】副信号の周波数は、零点制御で決定される零点周波数で固定されており、そのスペクトルは、隣接した帯域まで拡散していない。一方、音声信号などの主信号のスペクトルは、副信号に比べて拡散している。この結果、当該零点周波数に隣接した狭帯域における入力信号レベルを判別することにより、零点周波数近傍において、主信号のレベルが低下している期間を正確に判別できる。したがって、この期間中に、チャネル判別回路63が副信号を抽出することによって、主信号と副信号

とをさらに精度よく分離できる。

【0078】例えば、マルチビット符号化方式のコンパクトディスクでは、記録可能なダイナミックレンジが100dBである。一方、量子化ノイズフロアの形状は、図1に示すデルタシグマ変調回路31内の積分回路12を構成する素子の定数などによって大きく変化するが、例えば、デルタシグマ変調回路31のサンプリング周波数FSが64fsの場合、S/Nを約-120dB以下まで低下させることができる。したがって、上記入力信号レベルのしきい値を約-120dB程度に設定できる。

【0079】なお、チャネル判別回路63が監視する信号は、バンドパスフィルタ62の出力信号に限らず、例えば、復調回路51の出力信号レベルなどでもよい。上記狭帯域での主信号レベルを識別可能であれば、本実施形態と同様の効果が得られる。

【0080】上記構成における音声信号伝送装置1各部の動作を、図2に基づいて説明すると以下の通りである。すなわち、音声信号源2Lで生成された左チャネルのアナログ音声信号は、送信回路3へ入力される。送信回路3において、当該音声信号には、左チャネルを示すチャネル情報として、付加情報信号発生回路21内の発振器21aで生成させた搬送周波数 $\alpha_2$ の正弦波信号が、デルタシグマ変調回路31L内の加算器13(図1参照)にて加算される。さらに、加算された信号は、デルタシグマ変調されて、伝送路4Lに出力される。一方、右チャネルの音声信号は、音声信号源2Rで生成され、送信回路3内のデルタシグマ変調回路32Rで、そのまま1ビットデジタル信号にデルタシグマ変調された後、伝送路4Rに出力される。

【0081】ここで、上記両伝送路4L・4Rが正しく接続されていた場合、左チャネルの1ビットデジタル信号は、受信回路5において、左チャネル用の入力端子42Lに入力され、右チャネルの1ビットデジタル信号は、入力端子42Rに入力される。左チャネル用の入力端子42Lから入力された1ビットデジタル信号は、復調回路51Lおよびローパスフィルタ52Lにて、復調された後、音声信号成分が抽出される。また、復調回路51Lの出力信号は、バンドパスフィルタ62Lおよびチャネル判別回路63Lに印加され、予め設定された周波数 $\alpha_2$ 成分が所定のレベルを越えているか否かが判定される。同様に、入力端子42Rから入力された1ビットデジタル信号に対して、復調回路51Rおよびローパスフィルタ52Rにて、復調と音声信号成分の抽出とが行われる。

【0082】ここで、上記入力端子42Lには、左チャネルの1ビットデジタル信号、すなわち、チャネル情報が上記周波数 $\alpha_2$ にて周波数分割多重で重複された信号が、正しく入力されている。したがって、チャネル判別回路63Lは、当該1ビットデジタル信号に、左チャネル

ルを示すチャネル情報が重畳されていると判定して、チャネル切り換え回路53内のスイッチs1・s2を制御する。なお、右チャネルの1ビットデジタル信号には、チャネル情報が重畳されていないので、上記周波数成分 $\alpha_2$ は、所定のレベルに到達しない。したがって、チャネル判別回路63Rは、チャネル切り換え回路53を制御していない。

【0083】これにより、スイッチs1は、個別接点s1Lに導通し、ローパスフィルタ52Lの出力信号を左チャネルの出力端子71Lから出力する。この結果、左チャネルの音声信号は、アンプ6Lおよびスピーカ7Lによって音響化される。また、スイッチs2は、個別接点s2Rに導通し、ローパスフィルタ52Rの出力信号を右チャネルの出力端子71Rから出力する。この結果、右チャネルの音声信号は、アンプ6Rおよびスピーカ7Rによって音響化される。

【0084】これに対して、伝送路4L・4Rに入れ換わっていた場合には、左チャネルの1ビットデジタル信号は、受信回路5において、右チャネル用の入力端子42Rに入力される。この結果、当該1ビットデジタル信号の周波数 $\alpha_2$ 成分は、所定のレベルを越える。したがって、右チャネルのチャネル判別回路63Rは、左チャネルを示すチャネル情報が重畳されていると判定し、伝送路4L・4Rが正しく接続されている場合とは逆に、スイッチs1に個別接点s1R側を選択させ、スイッチs2に個別接点s2L側を選択させる。この結果、左チャネルの1ビットデジタル信号が右チャネル用の入力端子42Rに誤って入力された場合であっても、受信回路5は、当該1ビットデジタル信号を復調した音声信号を、左チャネルの出力端子71Lから正しく出力する。

【0085】このように、受信回路5は、受け取った1ビットデジタル信号のチャネルが入れ換わっていた場合、当該1ビットデジタル信号に重畳されたチャネル情報に基づいて、左右チャネルを入れ換えて出力できる。この結果、伝送路4R・4Lの入れ換わりなどによって、通常とは異なるチャネルの1ビットデジタル信号が受信回路5に伝えられた場合であっても、音声信号伝送装置1は、各チャネルの音声信号を正しいチャネルで音響化できる。

【0086】上記構成では、主信号に対して、副信号を周波数分割多重で重畳しているため、主信号と副信号とを時分割多重で伝送する従来の方式のように、特別なフォーマットやエラー防止回路を必要としない。また、周波数分割多重で重畳しているため、副信号を重畳するにあたって、デルタシグマ変調回路31内の加算器13

(図1参照)を利用できる。これらの結果、副信号を伝送するための構成を飛躍的に簡略化でき、1ビットデジタル符号化方式の利点を損なうことなく、主信号と副信号と伝送できる。

【0087】なお、以上の説明では、左チャネルの1ビ

ットデジタル信号のみに、チャネル情報が重畳される場合について説明したが、これに限らず、例えば、右チャネルのみに重畳してもよい。さらに、例えば、右チャネルの場合、零点周波数 $\alpha_1$ にフラグを立て、左チャネルの場合、零点周波数 $\alpha_2$ にフラグを立てるなどして、両チャネルの1ビットデジタル信号それぞれに、互いに異なるチャネル情報を重畳してもよい。各チャネルの1ビットデジタル信号のうち、少なくとも1つの1ビットデジタル信号にチャネル情報が重畳されていれば、本実施形態と同様の効果が得られる。

【0088】また、以上の説明では、左右2チャネルの場合について説明したが、本願発明は、これに限らず、音声信号伝送装置1が複数のチャネルを備えている場合にも適用できる。例えば、前3チャネル(右、中央および左)と後ろ2チャネル(右および左)とかなるマルチチャネルに分離し、受信回路にて、各チャネルの識別を行う場合にも適用できる。この場合、チャネル情報と零点周波数との対応関係の一例として、前右チャネルの場合には、零点周波数 $\alpha_1$ のみにフラグを立て、前左チャネルの場合には、零点周波数 $\alpha_2$ のみにフラグを立てると共に、前中央チャネルの場合には、零点周波数 $\alpha_3$ のみにフラグを立てる。さらに、後右チャネルの場合には、零点周波数 $\alpha_1 \cdot \alpha_2$ の双方にフラグを立て、後左チャネルの場合には、零点周波数 $\alpha_1 \cdot \alpha_3$ の双方にフラグを立てる。このように、零点周波数の組み合わせによって、零点周波数の個数以上のチャネルに対応できる。

【0089】〔第2の実施形態〕上述した第1の実施形態では、副信号として、チャネル情報を重畳する場合について説明した。これに対し、本実施形態では、図5に基づいて、音声信号伝送装置1aが主信号となる音声信号を伝送する際、副信号として、ブリエンファシスの有無を示すフラグを重畳する場合について説明する。ブリエンファシスとは、デルタシグマ変調回路31に入力される音声信号に対して、予め所定の周波数成分を強調する処理を意味し、ブリエンファシスが行われていた場合、上記音声信号伝送装置1aの受信回路5aは、音声信号を復調する際に、上記所定の周波数成分のレベルを低下させる処理、すなわち、ディエンファシス処理を行う。これにより、受信回路5aは、アンプ6L・6Rへ出力するアナログの音声信号の周波数特性を平坦に戻すことができる。

【0090】なお、ブリエンファシス処理は、所定の周波数成分を強調する処理であり、例えば、高域成分を強調し、かつ、低域成分を抑制する場合や、これとは逆に、低域成分を強調し、高域成分を抑制する場合など、様々な周波数成分を強調する場合が考えられる。以下では、その一例として、ブリエンファシス処理によって、高域成分が強調される場合について説明する。

【0091】具体的には、本実施形態に係る音声信号伝

送装置1aは、受信回路5aにおいて、図2に示すチャネル切り換え回路53に代えて、ディエンファシス回路54L・54Rが設けられており、各チャネル判別回路63Lに代えて、エンファシス判別回路64Lが設けられている。本実施形態に係る受信回路5aでは、左チャネルのみに、エンファシス判別回路64Lが設けられており、当エンファシス判別回路64Lは、両チャネルのディエンファシス回路54L・54Rを制御する。これに伴って、当該受信回路5aでは、図2に示す受信回路5から、右チャネルのバンドパスフィルタ62Rおよびチャネル判別回路63Rが省かれている。なお、上記ディエンファシス回路54およびエンファシス判別回路64が特許請求の範囲に記載の制御手段に対応する。

【0092】また、送信回路3aでは、チャネル判別信号を生成する付加情報信号発生回路21に代えて、エンファシス判別信号を生成する付加情報信号発生回路21aが設けられている。なお、説明の便宜上、上述した第1の実施形態の図面に記した部材と同一の機能を有する部材には、同一の符号を付記してその説明を省略する。

【0093】上記付加情報信号発生回路21aは、上記付加情報信号発生回路21と同様に、発振器22とスイッチ23とから構成されている。ただし、本実施形態では、スイッチ23は、デルタシグマ変調回路31へ入力されるアナログの音声信号がプリエンファシスされている場合に導通し、プリエンファシスされていない場合、遮断される。なお、上記スイッチ23の開閉は、送信回路3内にプリエンファシス回路が設けられている場合には、それのオフ/オンに連動して行われる。また、音声信号源2L・2R側に、プリエンファシス回路が設けられている場合には、その音声信号源2L・2Rから送信回路3aへ、専用の切り換え信号を伝達し、当該切り換え信号に基づいて、スイッチ23の開閉を制御してもよい。さらに、ユーザの指定に基づいて、スイッチ23の開閉が行われてもよい。いずれの場合であっても、プリエンファシスが行われている場合、デルタシグマ変調回路31には、スイッチ23を介して、プリエンファシス判別信号が印加される。

【0094】また、本実施形態では、発振器22の発振周波数が $\alpha_1$ に設定されている。したがって、プリエンファシスがオンのとき、送信回路3aが左チャネルの出力端子41から出力する1ビットデジタル信号には、副信号として、上記零点周波数 $\alpha_1$ にフラグが立てられる。

【0095】一方、受信回路5aに設けられた左チャネルのディエンファシス回路54Lには、ローパスフィルタ52Lと出力端子71Lとの間に設けられ、互いに直列に接続された抵抗r1L・r2Lと、両抵抗r1L・r2Lに一端が接続されたコンデンサcLと、当該コンデンサcLの他端を接地するか否かを選択するスイッチs3Lとが設けられている。同様に、右チャネルのディ

エンファシス回路54Rは、抵抗r1R・r2Rと、コンデンサcRと、スイッチs3Rとを備えている。後述するように、ディエンファシスを行う場合、上記両スイッチs3L・s3Rは、エンファシス判別回路64の指示に応じ、連動して導通する。これにより、ローパスフィルタが形成され、両ディエンファシス回路54L・54Rの減衰量を、周波数が高くなるに伴って増加させることができる。また、各ディエンファシス回路54において、抵抗R1・R2およびコンデンサCの大きさは、プリエンファシス処理を打ち消すことができる大きな大きさに予め設定されている。

【0096】したがって、両ディエンファシス回路54L・54Rは、両ローパスフィルタ52L・52Rの出力信号のうち、高周波成分を抑制して、出力端子71L・71Rからそれぞれ出力できる。これにより、プリエンファシス処理で、高域成分が強調された場合、受信回路5aは、プリエンファシス処理を打ち消して、平坦な周波数特性を持つアナログの音声信号をアンプ6L・6Rに出力できる。

【0097】なお、ディエンファシス回路54は、プリエンファシスの定数に合わせて構成され、例えば、プリエンファシス処理が低域強調の場合は、スイッチs3が導通した場合にハイパスフィルタを形成するように構成される。

【0098】また、エンファシス判別回路64は、図2に示すチャネル判別回路63と同様であり、各復調回路51の出力信号から、副信号であるエンファシス判別信号を抽出し、上記各ディエンファシス回路54を制御する。具体的には、復調回路51の出力信号において、零点周波数 $\alpha_1$ 成分が所定のレベルを超えた場合、ディエンファシス回路54は、主信号である音声信号がプリエンファシスされていると判定し、上記両スイッチs3L・s3Rを導通させる。

【0099】このように、上記構成の音声信号伝送装置1aにおいて、送信回路3aは、音声信号に密接に関連するプリエンファシスの有無を示す副信号を、1ビットデジタル信号に重畠して伝送できる。また、受信回路5aは、当該副信号に基づいて、ディエンファシスのオン/オフを自動的に選択できる。さらに、エンファシス判別信号を、そのまま発光ダイオードに接続するだけで、プリエンファシスの有無を示す表示回路を構成できる。

【0100】〔第3の実施形態〕本願発明のさらに他の実施の形態として、本実施形態では、主信号となる音声信号の時間情報が副信号として付加される場合について、図6に基づき説明する。なお、本実施形態に係る音声信号伝送装置1bは、第1の実施形態に係る音声信号伝送装置1と類似しているため、説明の便宜上、上述の第1の実施形態の図面に記した部材と同一の機能を有する部材には、同一の符号を付記してその説明を省略する。

【0101】本実施形態に係る音声信号伝送装置1bでは、送信回路3bにおいて、図2に示す付加情報信号発生回路21に代えて、時間情報信号を生成する付加情報信号発生回路21bが設けられている。当該時間情報は、音声信号を伝送する際の通算時間を示す情報、あるいは、例えば、曲など、音声信号が複数の部分に分割される場合、各曲毎の経過時間を示す情報などであり、8ビット程度の情報量を有している。なお、この時間情報は、上述のエンファシス判別信号と同様に、送信回路3b内で生成されても、あるいは、音声信号源2側から入力されてもよい。

【0102】上記付加情報信号発生回路21bは、具体的には、零点周波数 $\alpha_1 \sim \alpha_3$ の各周波数の正弦波を生成する発振器22と、時間情報に対応したデジタル信号を生成する時間情報発生回路24と、当該デジタル信号に基づいて、上記各正弦波を振幅変調するエンコーダ25とを備えている。上記エンコーダ25は、時間情報発生回路24からのデジタル信号を、各零点周波数 $\alpha_1 \sim \alpha_3$ に対応するビット列に分割する。本実施形態では、時間情報が8ビット程度であり、零点周波数が3つに設定されている。したがって、時間情報は、3ビット長の3つのビット列に分割される。さらに、エンコーダ25は、発振器22から入力された各零点周波数の正弦波を、各零点周波数に対応するビット列の値に応じて、8段階に振幅変調する。また、エンコーダ25は、振幅変調された各信号を重畠して、時間情報信号を生成する。これにより、付加情報信号発生回路21bは、付加情報信号として時間情報信号をデルタシグマ変調回路31へ印加できる。

【0103】一方、受信回路5bには、図2に示すチャネル判別回路63Lに代えて、上記時間情報信号を復調するデコーダ(制御手段)65と、当該デコーダ65の指示に応じて表示装置67を駆動する表示駆動回路66とが設けられている。なお、受信回路5bでは、図2に示す受信回路5から、右チャネル側のバンドパスフィルタ62およびチャネル判別回路63、並びに、チャネル切り換え回路53が省かれており、各ローパスフィルタ52L・52Rの出力信号は、そのまま出力端子71L・71Rから出力されている。

【0104】上記デコーダ65は、バンドパスフィルタ62を介して復調回路51の出力信号を受け取り、フーリエ変換を用いて、各零点周波数 $\alpha_1 \sim \alpha_3$ の周波数成分を抽出する。さらに、デコーダ65は、上記エンコーダ25とは逆の手順で時間情報を示すデジタル信号へと復調する。具体的には、デコーダ65は、各周波数成分を振幅復調して、それぞれ、3ビットのビット列を生成し、各ビット列を連結されて時間情報を示すデジタル信号を出力する。

【0105】また、上記表示装置67は、例えば、日文字セグメントを複数並べて構成されている。各セグメン

トは、表示駆動回路66の指示に基づき、「日」の文字の各ノード毎に点灯／消灯を制御して、数字または英字を表示できる。上記表示駆動回路66は、デコーダ65からのデジタル信号に基づいて、各セグメントの点灯ノードを決定し、例えば、各セグメントの点灯ノードを示す端子に電圧を印加するなどして、表示装置67の表示を制御する。これにより、表示装置67は、時間情報を示す文字列を表示できる。

【0106】なお、各零点周波数 $\alpha_1 \sim \alpha_3$ において、副信号のダイナミックレンジとして、8段階に振幅変調するために必要なレンジを確保できない場合は、順次重畠されるフラグを幾つかまとめて1語を形成し、語単位で時間情報を表せばよい。例えば、副信号のダイナミックレンジとして、1ビット、すなわち、2段階に振幅変調可能なレンジしか確保できない場合、エンコーダ25は、時間情報発生回路24からのデジタル信号を3ビットずつに分割し、各ビットの値に応じて、発振器22からの正弦波を所定の周期で断続する。これにより、各零点周波数において、副信号のダイナミックレンジとして確保可能なレンジの合計が、時間情報を伝送するために必要な大きさに満たない場合であっても、時間情報を伝送できる。

【0107】〔第4の実施形態〕本願発明のさらに他の実施の形態として、本実施形態では、主信号となる音声信号を伝送する際、副信号として、当該音声信号の著作権擁護のためのフラグを重畠して伝送する場合について、図7に基づき説明する。なお、本実施形態に係る音声信号伝送装置1cも、第1の実施形態に係る音声信号伝送装置1と類似しているため、説明の便宜上、上述の第1の実施形態の図面に記した部材と同一の機能を有する部材には、同一の符号を付記してその説明を省略する。

【0108】本実施形態に係る音声信号伝送装置1cでは、送信回路3cにおいて、図2に示す付加情報信号発生回路21に代えて、著作権擁護のためのフラグの有無を示すフラグ信号を生成する付加情報信号発生回路21cが設けられている。一方、受信回路5cには、図2に示すチャネル切り換え回路53に代えて、音声信号の出力するか否かを選択する出力制御回路55が設けられており、チャネル判別回路63L・63Rに代えて、上記フラグ信号を判別するフラグ判別回路68L・68Rが設けられている。なお、出力制御回路55およびフラグ判別回路68が特許請求の範囲に記載の制御手段に対応する。

【0109】上記フラグは、主信号となる音声信号の複写および複製を制御するために付加されるものであって、本実施形態では、音声信号の複写を1回行う場合、すなわち、送信回路3cから受信回路5cへの信号伝送を1回行う場合、送信回路3cは、フラグ有りを示すフラグ信号を1ビットデジタル信号に重畠して伝送する。

一方、受信回路5cは、フラグ信号がフラグ有りを示している場合、当該1ビットデジタル信号の復調出力すなわち再生を阻止する。

【0110】具体的には、上記付加情報信号発生回路21cにおいて、発振器22は、例えば、零点周波数 $\alpha_1$ など、所定の零点周波数の正弦波を連続して出力する。スイッチ23は、音声信号を1回複写する場合に導通して、上記正弦波をフラグ信号としてデルタシグマ変調回路31に印加する。これにより、音声信号を1回複写する場合、当該音声信号には、フラグ有りを示すフラグ信号が重畠され、1ビットデジタル信号にデルタシグマ変調される。

【0111】また、受信回路5cにおいて、出力制御回路55は、ローパスフィルタ52Lと出力端子71Lとの間に設けられたスイッチs4Lと、ローパスフィルタ52Rと出力端子71Rとの間に設けられたスイッチs4Rとを備えている。さらに、各フラグ判別回路68は、図2に示すチャネル判別回路63と同様の構成であり、復調回路51の出力信号における零点周波数 $\alpha_1$ 成分の大きさに基づいて、フラグの有無を判別し、上記両スイッチs4L・s4Rの開閉を制御する。具体的には、各フラグ判別回路68は、当該周波数成分が所定のレベルを越えている場合、フラグがあると判定する。少なくとも一方がフラグ有りと判定すると、フラグ判別回路68は、上記両スイッチs4L・s4Rを遮断する。また、両方のフラグ判別回路68がフラグ無しと判定した場合、上記両スイッチs4L・s4Rは導通する。

【0112】例えば、1ビットデジタル信号が、図示しない音声信号源から直接受信回路5cへ印加された場合など、受信回路5cに入力される1ビットデジタル信号にフラグ有りを示すフラグ信号が重畠されていない場合、フラグ判別回路68は、上記両スイッチs4L・s4Rを導通させる。この結果、当該1ビットデジタル信号は、復調回路51、ローパスフィルタ52、および、出力制御回路55を介し、アナログの音声信号として、出力端子7L・7Rから出力される。

【0113】これに対して、図7に示すように、音声信号源2の出力した音声信号が、送信回路3cおよび伝送路4を介して受信回路5cに伝送される場合、送信回路3cは、フラグ有りを示すフラグ信号を1ビットデジタル信号に重畠して伝送する。したがって、受信回路5cでは、フラグ判別回路68が上記両スイッチs4L・s4Rを遮断する。これにより、当該ローパスフィルタ52の出力信号は、出力制御回路55にて伝達が阻止され、出力端子7L・7Rから出力されない。この結果、音声信号の作成者の意図に応じて、当該音声信号の複写あるいは複製回数を制御することができ、音声信号の作成者の著作権を擁護できる。

【0114】ここで、上記フラグ信号の搬送周波数は、零点周波数に設定されており、主信号となる音声信号の

有効周波数帯域内にある。したがって、零点周波数を知らない第三者が、伝送路4にて伝送される1ビットデジタル信号から、フラグ信号を改竄することは極めて困難である。例えば、マルチビット符号化方式の場合は、音声信号を示すビットとフラグ信号を示すビットとが時分割多重で伝送されているため、伝送路4を通過するデジタル信号から、全てのビットを受け取り、所定の順番のビットを改竄すれば、フラグ信号を改竄できる。また、本実施形態と同様に、音声信号とフラグ信号とを周波数分割多重で伝送する場合であっても、音声信号の周波数帯域と、フラグ信号の周波数帯域とが異なっていれば、例えば、音声信号の周波数帯域のみを通過させるバンドパスフィルタなどを用いれば、伝送路4を通過する1ビットデジタル信号から、音声信号のみを抽出できる。これに対して、本実施形態では、フラグ信号の周波数帯域と音声信号の周波数帯域とが重なっているため、両者の分離自体が極めて難しい。例えば、1ビットデジタル信号から、音声信号の周波数帯域成分のみを抽出しても、抽出された信号には、フラグ信号が含まれている。この結果、第三者によるフラグ信号の改竄を防止でき、従来に比べて、音声信号の作成者の著作権を確実に擁護できる。

【0115】なお、本実施形態では、フラグ信号は、フラグの有無を区別するだけであり、受信回路5cは、音声信号の複写が行われたか否かのみを判別しているが、これに限るものではない。フラグ信号として、受信回路5cが複写可能な回数を示す信号を使用すれば、音声信号の複写回数を、音声信号の作成者の意図した回数に制限できる。具体的には、音声信号源2は、出力する音声信号に、所定の零点周波数の搬送波を介して、音声信号の作成者の意図した複写回数を示すフラグ信号を予め周波数多重分割で重畠する。付加情報信号発生回路21cは、当該フラグ信号が示す回数よりも1つ小さな回数を示すフラグ信号を生成し、デルタシグマ変調回路31は、重畠されていたフラグ信号を取り除いた後の音声信号を1ビットデジタル信号に変調すると共に、付加情報信号発生回路21cが生成した新たなフラグ信号を当該1ビットデジタル信号に重畠する。さらに、受信回路5cのフラグ判別回路68は、フラグ信号が示す回数を識別して、0より大きい回数を示している場合のみ、出力制御回路55に、復調後の音声信号を出力させる。

【0116】〔第5の実施形態〕本願発明のさらに他の実施の形態として、本実施形態では、主信号となる音声信号を伝送する際、副信号として、当該音声信号のIDコードを重畠して伝送する場合について、図8に基づき説明する。なお、本実施形態に係る音声信号伝送装置1dは、上記第4の実施形態に係る音声信号伝送装置1cと類似しているため、説明の便宜上、上述の第4の実施形態の図面に記した部材と同一の機能を有する部材には、同一の符号を付記してその説明を省略する。

【0117】本実施形態に係る音声信号伝送装置1dでは、送信回路3dにおいて、図7に示す付加情報信号発生回路21cに代えて、上記IDコードを示すコード信号を生成する付加情報信号発生回路21dが設けられている。同様に、受信回路5dには、図7に示すフラグ判別回路68L・68Rの代わりに、上記コード信号を判別して、出力制御回路55を制御するコード判別回路(制御手段)69L・69Rが設けられている。

【0118】上記IDコードは、主信号となる音声信号自体を識別するためのコードであり、受信回路5dは、送信回路3dが付加したIDコードに基づいて、自らが享受可能な音声信号を判別して複写および複製を抑制する。このIDコードを用いると、例えば、無線や有線あるいは記録媒体を用いて、IDコードを重複した音声信号を複数の聴衆に配信し、これらの聴衆のうち、所定の料金を支払った者のみが、当該音声信号を再生可能な音声信号伝送装置1dを実現できる。

【0119】本実施形態では、IDコードを符号化する際の一例として、IDコードを二進数で表現し、二進数の各位毎に、各零点周波数を割り当てる。さらに、ある位が「1」のとき、それに対応する零点周波数にフラグを立て、「0」のときはフラグを立てない。例えば、零点周波数 $\alpha_1$ を1桁目、 $\alpha_2$ を2桁目、 $\alpha_3$ を3桁目に割り当たの場合、IDコード「101」は、 $\alpha_1$ と $\alpha_3$ とにフラグを立てて表現され、IDコード「011」は、 $\alpha_2$ と $\alpha_3$ とにフラグを立てて表現される。

【0120】この場合は、上記付加情報信号発生回路21dにおいて、発振器22は、それぞれ3つの零点周波数 $\alpha_1$ ～ $\alpha_3$ の正弦波を出力し、各正弦波に関連して設けられたスイッチ23は、対応する周波数でフラグを立てる場合に導通し、フラグを立てない場合に遮断される。これにより、付加情報信号発生回路21dは、IDコードを示すコード信号を出力する。当該コード信号は、デルタシグマ変調回路31にて、主信号となる音声信号に重複される。

【0121】一方、コード判別回路69は、復調回路51の出力信号から、各零点周波数成分を抽出して、1ビットデジタル信号に重複されていたIDコードを識別する。そして、当該IDコードが所定の条件を満たす場合、出力制御回路55の両スイッチs4L・s4Rを導通させ、そうではない場合には、両スイッチs4L・s4Rを遮断する。なお、所定の条件とは、例えば、予めコード判別回路69が記憶するIDコードと一致するか否かや、IDコードを用いた演算結果がある範囲内にあるか否かなど、IDコードの使用目的に応じて種々に設定できる。

【0122】この結果、受信回路5dは、受け取った1ビットデジタル信号に重複されたIDコードが享受可能なIDコードである場合にのみ、各出力端子71から音声信号を出力できる。

【0123】なお、本実施形態では、副信号として、音声信号のIDコードを付加する場合について説明したが、IDコードに代えて、マスタリングコードを付加する場合でも、同様の効果が得られる。具体的には、マスターとなる音声信号を記録する場合には、当該音声信号がマスターであることを示すコード信号として、例えば、零点周波数 $\alpha_1$ にフラグを立てる。デルタシグマ変調回路31は、当該コード信号を1ビットデジタル信号に重複し、1ビットデジタル信号は、上記記録媒体に書き込まれる。一方、受信回路5dのコード判別回路69は、記録媒体から1ビットデジタル信号を再生したとき、1ビットデジタル信号に重複されたコード信号に応答して、出力制御回路55を制御する。これにより、受信回路5dは、マスタリングコードが付加されていない場合、例えば、音声信号の出力を抑制するなどして、音声信号の複写および複製を抑制する。

【0124】なお、上記第1ないし第5の実施形態にて重複した副信号は、あくまで一例であって、副信号をどのように符号化するか、あるいは、どの零点周波数に何ビットの情報量を持つフラグを割り当てるかは、様々に設定できる。ただし、ある零点周波数にて重複される付加情報信号のレベルは、零点周波数におけるノイズレベルから、音声信号レベルの下限値までの大きさよりも、小さく設定しなければならない。したがって、1つの零点周波数に付加されるフラグの情報量は、ディップでのノイズレベルと、音声信号のダイナミックレンジによって制限される。さらに、図9から図11に示すように、零点周波数の個数を複数に設定し、各零点周波数に付加するフラグを組み合わせることによって、多種の副信号を多重化できる。

【0125】加えて、順次重複されるフラグを幾つかまとめて1語を形成し、語単位で副信号を表せば、さらに多くの副信号を重複できる。ただし、この場合は、副信号の伝送に関しては、従来のように、マルチビット符号化方式を用いて主信号を伝送する場合と同様に、語同期が必要となる。したがって、副信号を時分割多重で伝送しない場合に比べて、回路が複雑になり、規格の変更が困難になる。ところが、従来とは異なり、副信号をマルチビット符号化方式にて伝送する場合であっても、主信号は、1ビットデジタル信号を用いて伝送されている。したがって、副信号と主信号との分離、および、主信号の処理に関しては、副信号を時分割多重で伝送しない場合と同様の回路で実現できる。したがって、上記各実施形態と同様に、主信号の処理回路を複雑にすることなく、主信号に副信号を重複できる。また、副信号を抽出するためには、語同期を取る前に、主信号から副信号を分離する必要があるが、副信号が重複されている周波数(零点周波数)は、主信号の有効使用帯域内にあるので、副信号の改竄が困難である点も同様である。

【0126】なお、上記第1から第5の各実施形態で

は、1種類の副信号を付加する場合について説明したが、これに限らず、複数種類の副信号を主信号に重畠してもよい。例えば、当該エンファシス判別信号と、上述のチャネル判別信号とは、いずれも情報量が1ビットの信号であり、それぞれを1つの零点周波数で伝送できる。したがって、例えば、プリエンファシス処理がなされている場合、図3に示す零点周波数 $\alpha_1$ の搬送周波数でエンファシス判別信号を重畠し、左チャネルの場合、零点周波数 $\alpha_2$ の搬送周波数でチャネル判別信号を重畠できる。このように、エンファシス判別信号の搬送周波数とチャネル判別信号の搬送周波数とをそれぞれ別の零点周波数に設定することによって、主信号となる音声信号に対して、プリエンファシスの有無を示すフラグとチャネル情報との双方を同時に周波数分割多重で重畠して伝送できる。

【0127】また、上記各実施形態では、例えば、光ファイバなどの伝送路4を介して、1ビットデジタル信号を伝送する場合を例にして説明したが、これに限るものではない。本発明は、例えば、送信回路3(3a～3d)が、1ビットデジタル信号を記録媒体に記録し、受信回路5(5a～5d)が当該記録媒体から1ビットデジタル信号を再生する場合にも適用できる。受信回路5(5a～5d)が、送信回路3(3a～3d)の出力した1ビットデジタル信号を受け取るものであれば、上記各実施形態と同様の効果が得られる。

【0128】さらに、上記各実施形態では、主信号として音声信号を伝送する場合について説明したが、これに限るものではなく、本発明は、デルタシグマ変調による1ビット符号化方式を用いて伝送される信号であれば、他の信号を伝送する場合にも適用できる。

#### 【0129】

**【発明の効果】**請求項1の発明に係る1ビットデジタル信号を介した信号伝送方法は、以上のように、1ビットデジタル信号を介した主信号の伝送工程の前に、上記有効周波数帯域内で、かつ、零点制御によって量子化雑音が低下している特定周波数にて、上記1ビットデジタル信号の主信号に副信号を周波数分割多重で重畠する工程と、上記伝送工程の後で、上記1ビットデジタル信号の上記特定周波数を弁別して、上記副信号を抽出する工程とを備えている構成である。

【0130】上記構成において、上記特定周波数では、量子化雑音のレベルが低下しているので、主信号のダイナミックレンジと副信号のダイナミックレンジとの双方を容易に確保でき、副信号を主信号に周波数分割多重で重畠できる。この結果、例えば、復調回路の簡略化など、1ビットデジタル信号にて信号を伝送する場合の利点を阻害することなく、主信号と副信号とを重畠できるという効果を奏する。

【0131】また、上記特定周波数は、主信号の有効周波数帯域内に設定されている。したがって、特定周波数

を知らない第三者は、主信号と副信号とを分離できない。この結果、第三者による副信号の改竄を確実に防止できるという効果を奏する。

【0132】請求項2の発明に係るデルタシグマ変調回路は、以上のように、特定周波数にて、上記1ビットデジタル信号の主信号に副信号を周波数分割多重で重畠する副信号重畠手段を備えている構成である。

【0133】それゆえ、請求項1と同様に、復調が容易であるというデルタシグマ変調の特徴を阻害することなく、主信号と副信号とを1ビットデジタル信号に変調可能なデルタシグマ変調回路を提供できるという効果を奏する。さらに、第三者による副信号の除去あるいは改竄を困難にすることができるという効果を併せて奏する。

【0134】請求項3の発明に係るデルタシグマ変調回路は、以上のように、請求項2記載の発明の構成において、上記副信号重畠手段は、上記加算器の入力の1つに、上記副信号を上記特定周波数の搬送波を介して入力する構成である。

【0135】上記構成では、デルタシグマ変調に使用される加算器は、副信号の重畠にも使用されるので、重畠のために設ける回路を簡略化できるという効果を奏する。

【0136】請求項4の発明に係るデルタシグマ変調回路は、以上のように、請求項2または3記載の発明の構成において、上記主信号は、音声信号であり、上記副信号は、チャネル情報、プリエンファシスの有無、著作権擁護のためのフラグ、IDコード、マスタリングコード、または、時間情報のうちの少なくとも1つを示す信号である構成である。

【0137】上記構成では、各副信号は、主信号となる音声信号に密接に関連し、かつ、情報量が少ない情報を示している。したがって、特定周波数における副信号のダイナミックレンジが余り広くとれない場合であっても、デルタシグマ変調回路は、十分なS/Nで副信号を重畠して伝送あるいは記録できる。この結果、復調側において、上記副信号に基づいて、主信号に関連した処理を行うことができるという効果を奏する。

【0138】請求項5の発明に係る復調回路は、以上のように、零点制御を用いて生成された1ビットデジタル信号の主信号には、副信号が、零点制御に応じた特定周波数の搬送波を介して周波数分割多重で重畠されており、上記1ビットデジタル信号から上記特定周波数成分を弁別して上記副信号を抽出すると共に、当該副信号に応じて所定の処理を行う制御手段を備えている構成である。

【0139】上記構成では、主信号の周波数帯域内の特定周波数において、1ビットデジタル信号の量子化雑音のレベルが低下しているため、副信号のS/Nを十分に確保できる。したがって、上記制御手段は、簡単な構成で、1ビットデジタル信号に重畠されていた副信号を抽

出できるという効果を奏する。さらに、副信号は、周波数分割多重で重畠されているので、復調回路は、時分割多重で重畠する場合に比べて、主信号を容易に復調できるという効果を併せて奏する。

【0140】請求項6の発明に係る復調回路は、以上のように、請求項5記載の発明の構成において、上記主信号は、音声信号であり、上記副信号は、当該音声信号のチャネルを示すチャネル情報であると共に、上記制御手段は、当該チャネル情報に基づいて、左右またはマルチチャネルの分離を行う構成である。

【0141】それゆえ、復調回路は、音声信号のチャネルを正しく判定でき、伝送路の入れ換わりなどによって、通常と異なるチャネルの音声信号が入力された場合であっても、正しいチャネルで音声信号の出力できるという効果を奏する。

【0142】請求項7の発明に係る復調回路は、以上のように、請求項5記載の発明の構成において、上記主信号は、音声信号であり、上記副信号は、当該音声信号のプリエンファシスの有無を示すフラグであると共に、上記制御手段は、当該フラグに基づいて、ディエンファシスのオン／オフを制御する構成である。

【0143】それゆえ、復調回路は、受け取った1ビットデジタル信号の音声信号がプリエンファシス処理された信号であるか否かを確実に判別して、音声信号にディエンファシスをかけることができるという効果を奏する。

【0144】請求項8の発明に係る復調回路は、以上のように、請求項5記載の発明の構成において、上記主信号は、音声信号であり、上記副信号は、当該音声信号の著作権擁護のためのフラグ、IDコード、またはマスタリングコードのうちの少なくとも1つであると共に、上記制御手段は、当該副信号に基づいて、上記音声信号の複写または復調出力を制限する構成である。

【0145】上記構成において、上記制御手段は、1ビットデジタル信号から副信号を抽出し、副信号が複写または復調出力を許可していない場合、音声信号の複写または復調出力を制限する。これにより、変調側において、復調側における複写または復調出力の許可／不許可を指定できるという効果を奏する。

【0146】さらに、副信号は、音声信号の有効周波数帯域内の特定周波数にて周波数分割多重されるので、副信号の改竄が困難である。この結果、復調回路は、変調側において指示された複写または復調出力の許可／不許可に基づいて、音声信号の複写または復調出力を確実に制限できるという効果を奏する。

#### 【図面の簡単な説明】

【図1】本発明の一実施形態を示すものであり、デルタシグマ変調回路の要部構成を示すブロック図である。

【図2】上記デルタシグマ変調回路が副信号としてチャネル情報を重畠する場合の音声信号伝送装置全体の構成

を示すブロック図である。

【図3】上記デルタシグマ変調回路が output する1ビットデジタル信号における量子化ノイズレベルの周波数特性を示すグラフである。

【図4】上記音声信号伝送装置において、副信号を重畠しない側のデルタシグマ変調回路を示すブロック図である。

【図5】本発明の他の実施形態を示すものであり、副信号として、プリエンファシスの有無を付加する音声信号伝送装置を示すブロック図である。

【図6】本発明のさらに他の実施形態を示すものであり、副信号として時間情報を付加する音声信号伝送装置を示すブロック図である。

【図7】本発明のさらに他の実施形態を示すものであり、副信号として著作権擁護のためのフラグを付加する音声信号伝送装置を示すブロック図である。

【図8】本発明のさらに他の実施形態を示すものであり、副信号としてIDコードを付加する音声信号伝送装置を示すブロック図である。

【図9】上記量子化ノイズレベルの周波数特性と、副信号との関連を説明するためのグラフである。

【図10】上記量子化ノイズレベルの周波数特性と、副信号との関連を説明するためのグラフである。

【図11】上記量子化ノイズレベルの周波数特性と、副信号との関連を説明するためのグラフである。

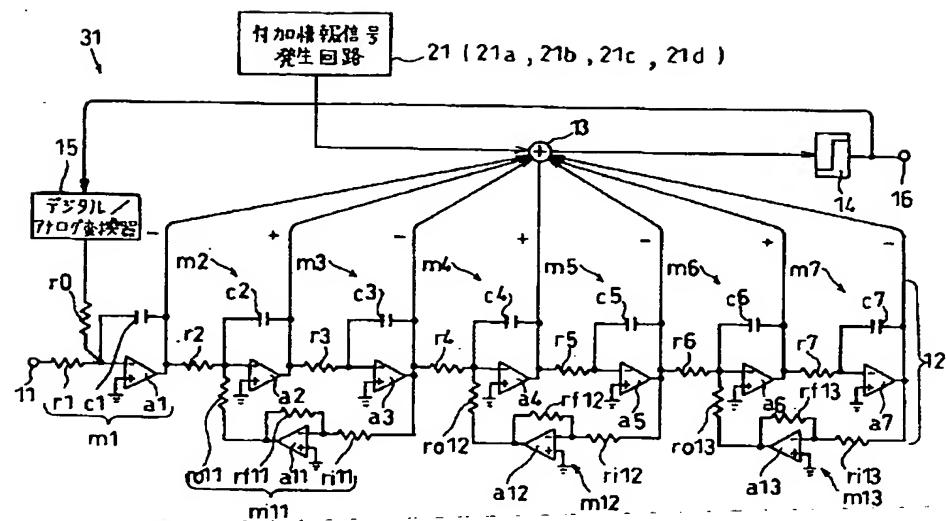
【図12】従来例を示すものであり、デルタシグマ変調回路の要部構成を示すブロック図である。

【図13】従来のマルチビット符号化方式における量子化ノイズレベルの周波数特性を示すグラフである。

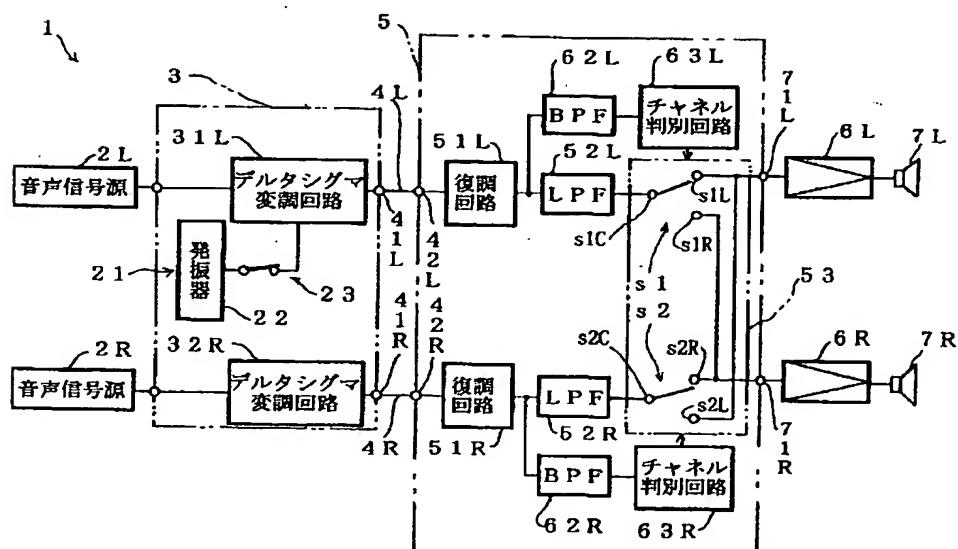
#### 【符号の説明】

4 L・4 R	伝送路
5・5 a～5 d	受信回路（復調回路）
1 3	加算器
1 4	量子化器
m 1～m 7	積分器
m 1 1～m 1 3	帰還回路（部分負帰還回路）
3 1	デルタシグマ変調回路
2 1・2 1 a～2 1 d	付加情報信号発生回路（副信号重畠手段）
5 3	チャネル切り換え回路（制御手段）
5 4 L・5 4 R	ディエンファシス回路（制御手段）
5 5	出力制御回路（制御手段）
6 3 L・6 3 R	チャネル判別回路（制御手段）
6 4 L	エンファシス判別回路（制御手段）
6 5	デコーダ（制御手段）
6 8 L・6 8 R	フラグ判別回路（制御手段）
6 9 L・6 9 R	コード判別回路（制御手段）

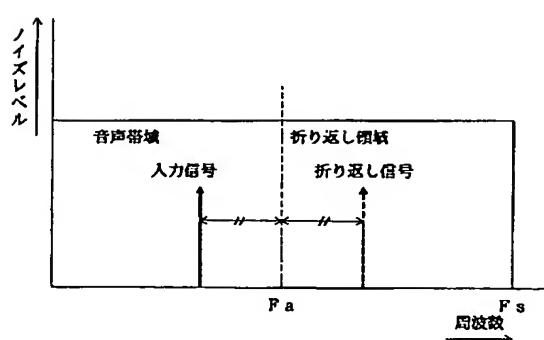
【図1】



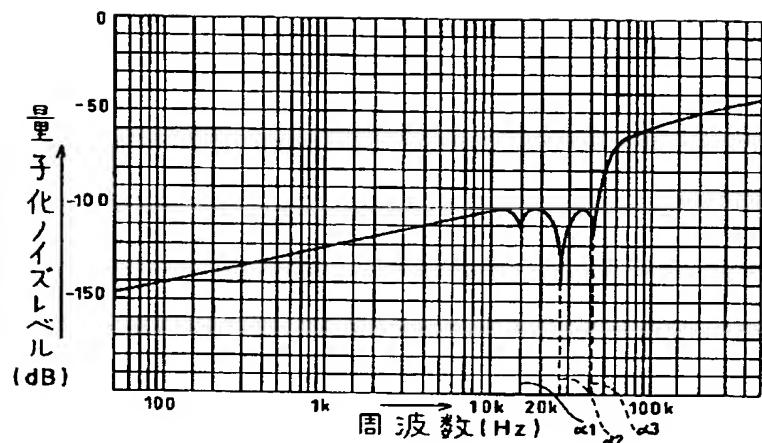
【図2】



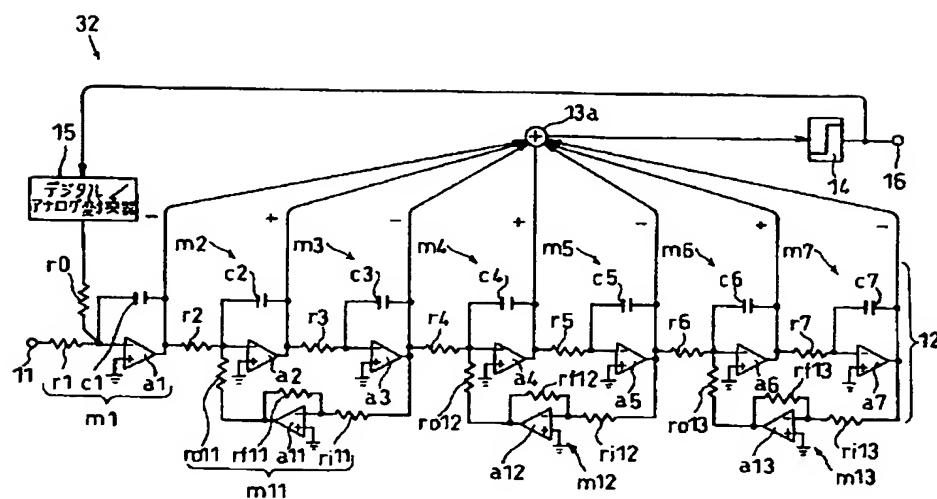
【図13】



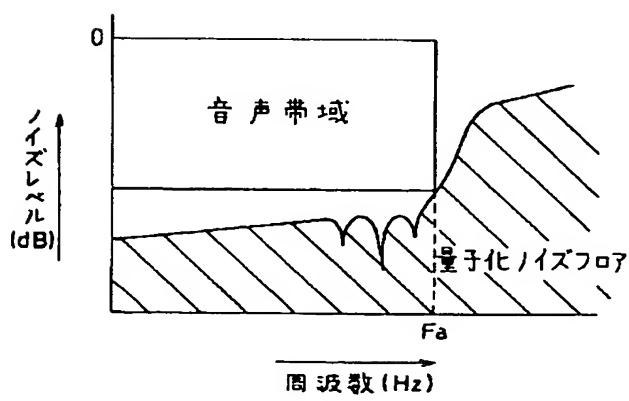
【図3】



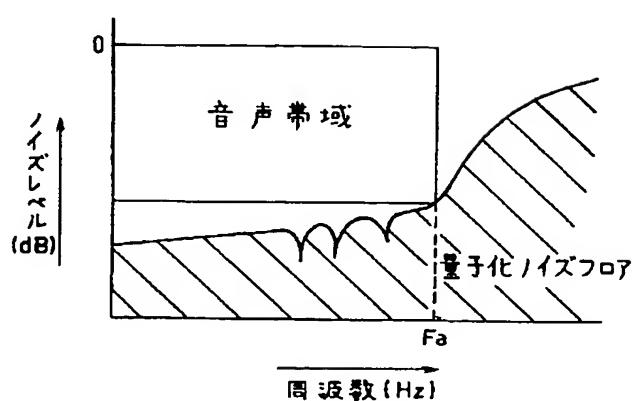
【図4】



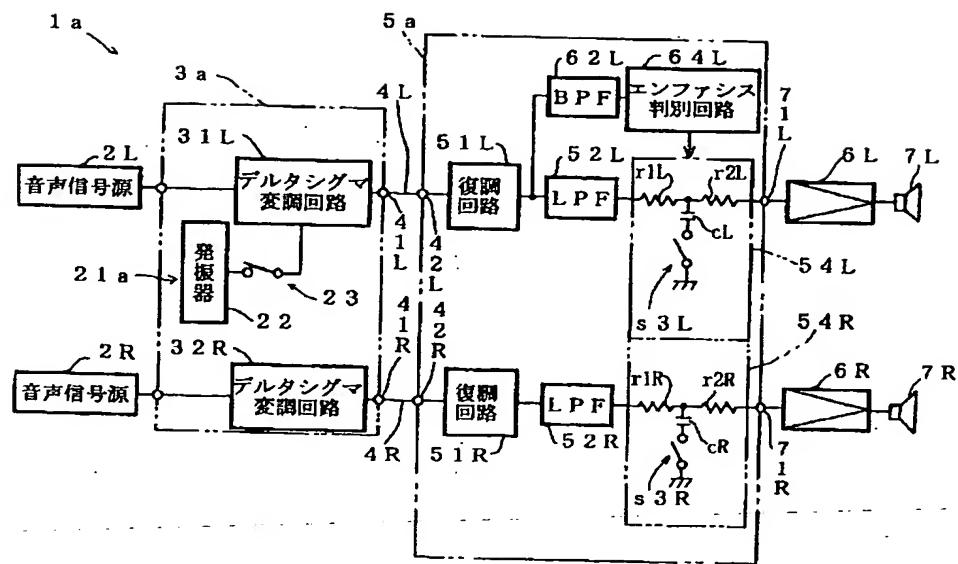
【図9】



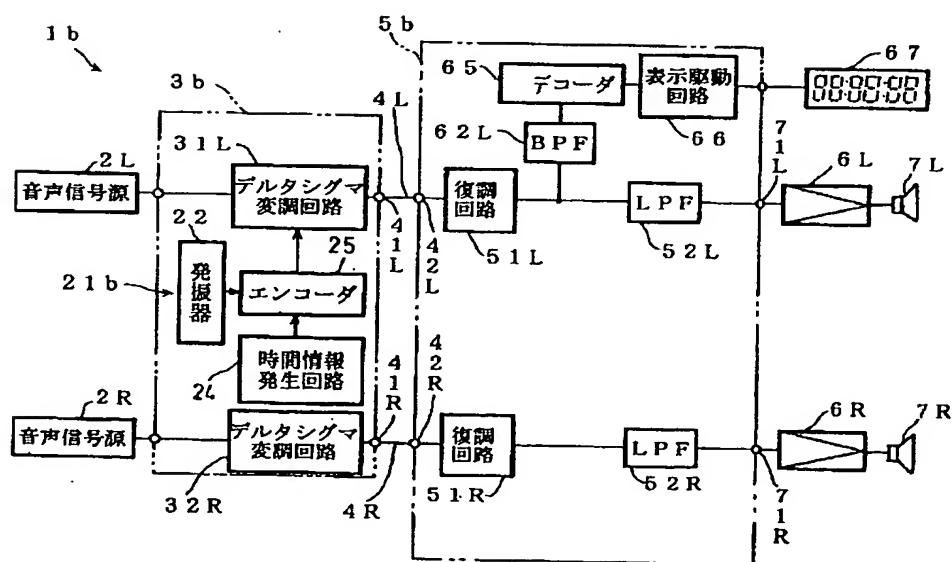
【図10】



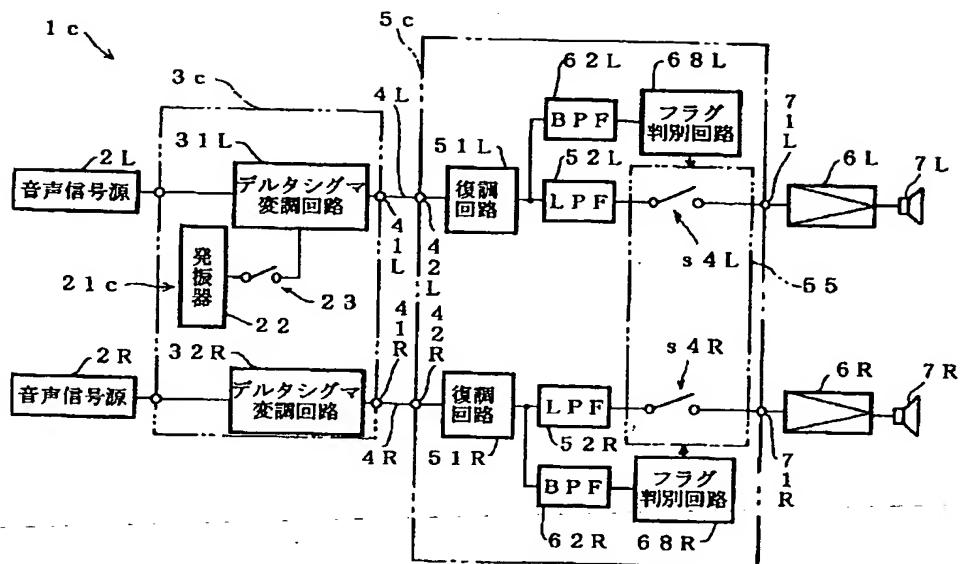
【図5】



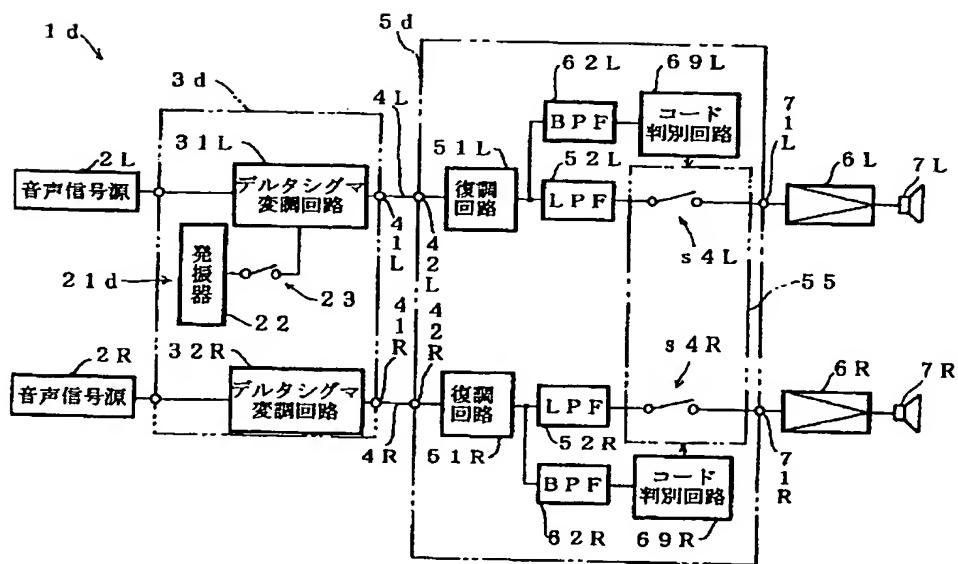
【図6】



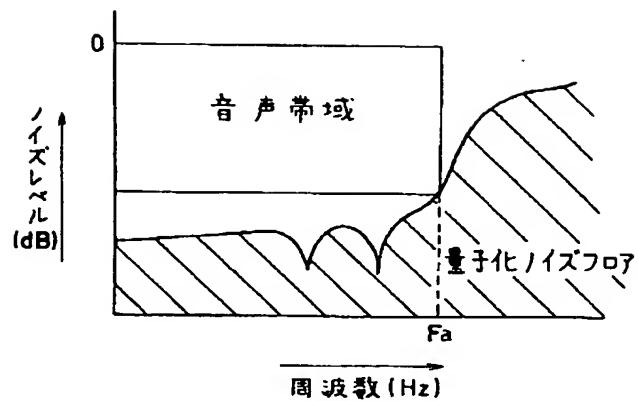
【図7】



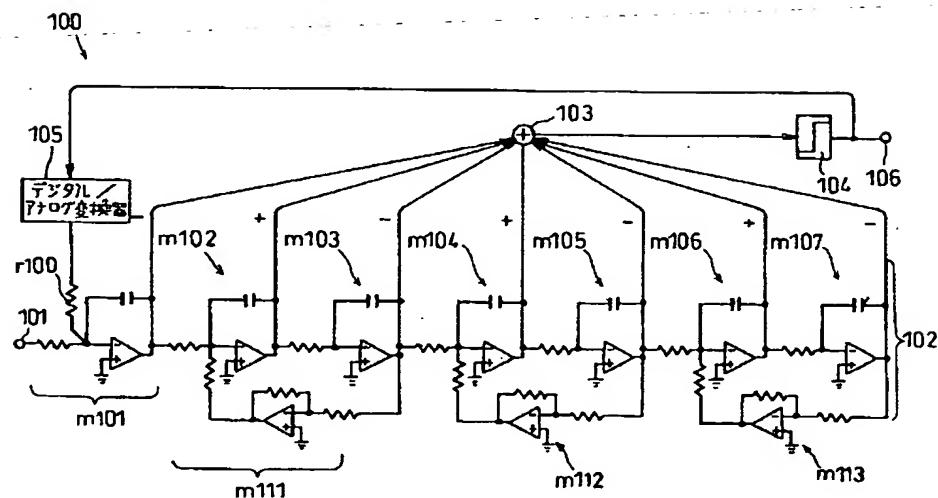
【図8】



【図1-1】



【図1-2】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-322215

(43)Date of publication of application : 04.12.1998

(51)Int.Cl.

H03M 3/02

H03M 7/32

(21)Application number : 09-130149

(71)Applicant : SHARP CORP

(22)Date of filing : 20.05.1997

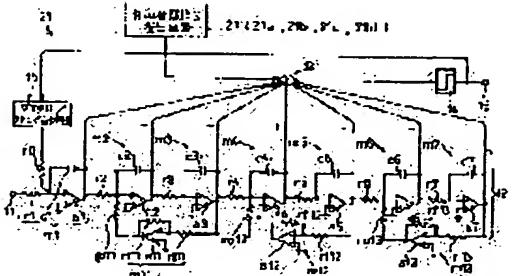
(72)Inventor : KISHIDA MASAHIRO

## (54) SIGNAL TRANSMISSION METHOD BY MEANS OF 1-BIT DIGITAL SIGNAL, DELTA SIGMA MODULATION CIRCUIT AND DEMODULATION CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a signal transmission method where a subsignal is superimposed on a main signal with a simple circuit and the superimposed signal is transmitted by means of a 1-bit digital signal and to provide a delta sigma modulation circuit and a demodulation circuit.

**SOLUTION:** In the delta sigma modulation circuit 31, an input signal is integrated in high degree by integration devices m1-m7. All outputs from the integrators of each degree are added by an adder 13, the sum is quantized by a quantizer 14, which provides an output of a 1-bit digital signal. A dip is formed at a prescribed zero point frequency in a quantized noise frequency characteristic of the 10-bit digital signal by a partial negative feedback loop consisting of feedback circuits m11-m13. Furthermore, an additional information signal generating circuit 21 generates a signal whose carrier frequency is the zero point frequency as channel information and gives the signal to the adder 13. The channel information is superimposed on the main signal in terms of the 1-bit digital signal through frequency division multiplexing at the zero point frequency.



**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The process which carries out the delta sigma modulation of the main signal which has a predetermined effective frequency so that the quantizing noise in the specific frequency as which it determines in the above-mentioned effective frequency band beforehand using zero-point control may fall, and is modulated to a 1-bit digital signal, In the signal-transmission approach through the 1-bit digital signal which has the transmission process which transmits a 1-bit digital signal through a transmission line or a record medium, and the process which restores to the told above-mentioned 1-bit digital signal Furthermore, after the process which superimposes a sub-signal by Frequency Division Multiplexing on the above-mentioned specific frequency before the above-mentioned transmission process at the main signal of the above-mentioned 1-bit digital signal, and the above-mentioned transmission process The signal-transmission approach through the 1-bit digital signal characterized by having discriminated from the above-mentioned specific frequency of the above-mentioned 1-bit digital signal, and having the process which extracts the above-mentioned sub-signal.

[Claim 2] Two or more integrators by which the input signal used as the main signal was inputted into the first rank, and was mutually connected to concatenation, The output of the adder adding the output of each above-mentioned integrator and the above-mentioned adder is quantized. Negative feedback of the output of the quantizer which outputs a 1-bit digital signal, and the above-mentioned integrator is carried out from the integrator concerned to the input side of the integrator of the preceding paragraph. In the delta sigma modulation circuit which has the partial negative feedback circuit in which the quantizing noise of the above-mentioned 1-bit digital signal in the specific frequency defined beforehand is reduced The delta sigma modulation circuit characterized by having a sub-signal superposition means to superimpose a sub-signal on the main signal of the above-mentioned 1-bit digital signal by frequency division multiplex on the above-mentioned specific frequency.

[Claim 3] The above-mentioned sub-signal superposition means is a delta sigma modulation circuit according to claim 2 characterized by inputting the above-mentioned sub-signal into one of the inputs of the above-mentioned adder through the subcarrier of the above-mentioned specific frequency.

[Claim 4] It is the delta sigma modulation circuit according to claim 2 or 3 which the above-mentioned main signal is a sound signal, and is characterized by the above-mentioned sub-signal being a signal which shows at least one of the flag for channel information, the existence of pre-emphasis, and copyright protection, an ID code, a mastering code, or hour entries.

[Claim 5] In the demodulator circuit which restores to the 1-bit digital signal generated by carrying out a delta sigma modulation so that the quantizing noise in the specific frequency as which the main signal which has a predetermined effective frequency band is beforehand determined in the above-mentioned effective frequency band using zero-point control might fall to the main signal of the above-mentioned 1-bit digital signal The demodulator circuit characterized by having the control means which performs predetermined processing according to the sub-signal concerned while being superimposed on the sub-signal by frequency division multiplex through the subcarrier of the above-mentioned specific frequency, discriminating from the above-mentioned specific frequency component from the above-

mentioned 1-bit digital signal and extracting the above-mentioned sub-signal.

[Claim 6] While the above-mentioned main signal is a sound signal and the above-mentioned sub-signal is channel information which shows the channel of the sound signal concerned, the above-mentioned control means is a demodulator circuit according to claim 5 characterized by performing right and left or separation of multi-channel based on the channel information concerned.

[Claim 7] While the above-mentioned main signal is a sound signal and the above-mentioned sub-signal is a flag which shows the existence of the pre-emphasis of the sound signal concerned, the above-mentioned control means is a demodulator circuit according to claim 5 characterized by controlling ON/OFF of de-emphasis based on the flag concerned.

[Claim 8] While the above-mentioned main signal is a sound signal and the above-mentioned sub-signal is at least one of the flag for copyright protection of the sound signal concerned, an ID code, or mastering codes, the above-mentioned control means is a demodulator circuit according to claim 5 characterized by restricting a copy or recovery output of the above-mentioned sound signal based on the sub-signal concerned.

---

[Translation done.]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]****[0001]**

**[Field of the Invention]** This invention relates to the signal-transmission approach using the delta sigma modulation especially used for example, for audio signal processing etc. suitably, a delta sigma modulation circuit, and the demodulator circuit of the 1-bit digital signal generated in the delta sigma modulation.

**[0002]**

**[Description of the Prior Art]** As a method which transmits a digital signal, the multi-bit coding method which transmits as a break one word which consists of two or more bits, and the method encoded and transmitted to a 1-bit digital signal using a delta sigma modulation are learned conventionally.

**[0003]** In the case of a multi-bit coding method, a transmission or record side encodes data to one word according to a predetermined format. On the other hand, a reception or playback side decodes each word, and identifies data while it takes a word synchronization and distinguishes the break of each word. Therefore, the digital disposal circuit which performs signal processing according to a format of a word by the both-sides side is needed. Consequently, once it opts for a format of a word and a sampling frequency, a dynamic range, etc. are standardized, it is difficult to change specification. Furthermore, since a word synchronization is needed by the method concerned, the error correction circuit for being easy to be influenced of a transmission line etc. and correcting the generated error is indispensable.

**[0004]** On the other hand, since a 1-bit digital signal is the word synchronous unnecessary data flow subdivided minutely, a 1-bit digital coding method cannot be easily influenced of a transmission line etc., and has the advantage that it is strong to an error. Therefore, by the method concerned, an error correction circuit becomes unnecessary in the both sides of transmission or a recording device, and a reception or a regenerative apparatus. Furthermore, when a 1-bit digital signal is a sound signal, since a reception or playback side can restore to the 1-bit digital signal concerned to an analog signal with the easy low pass filter of a low degree, a processing circuit complicated to a recovery becomes unnecessary. Therefore, in recent years, the 1-bit digital coding method with many advantages attracts attention compared with the multi-bit coding method.

**[0005]** As shown in drawing 12, in the conventional typical delta sigma modulation circuit 100, the integrators m101-m107 connected to concatenation are integrated with the sound signal of an analog inputted from the input terminal 101. After the integrator output of each stage is added with an adder 103, it is inputted into a quantizer 104. A quantizer 104 draws the output of "1" to an output terminal 106, when the output of an adder 103 is zero or more, and when the output of an adder 103 is less than zero, it derives the output of "0." Moreover, negative feedback of the output of a quantizer 104 is carried out to the input side of the integrator m101 of the first rank through a digital to analog converter 105 and a feedback resister r100.

**[0006]** In order to form a DIP in the noise floor of the 1-bit digital signal which the delta sigma modulation circuit 101 outputs on the other hand and to adjust the noise floor configuration concerned to a desired configuration, three feedback circuits m111-m113 are established in the integrating circuit 102

of the delta sigma modulation circuit 101. A feedback circuit m111 carries out negative feedback of the output of the integrator m103 of the 3rd step to the input side of the integrator m102 of the 2nd step, and feedback circuits m112 and m113 carry out negative feedback of the 5th and the integrator m105 of the 7th step, and the output of m107 to the 4th and the integrator m104 of the 6th step, and the input side of m106.

[0007] Of these feedback circuits m111-m113, three partial negative feedback loop formations are formed, and the quantization noise level of a 1-bit digital signal falls steeply focusing on the frequency (zero-point frequency) according to the gain of each partial negative feedback loop formation. In addition, below, the part to which level is falling among the frequency characteristics of a quantization noise is called a DIP. The quantization noise of a high region is controlled by these DIPs, for example, 20 etc.kHz of level of a quantization noise etc. can be maintained below at a predetermined value to the upper limit of a desired use frequency band by them.

[0008] In the above-mentioned delta sigma modulation circuit 100, after a sound signal is modulated to a 1-bit digital signal, in the reception or the regenerative apparatus which is not illustrated, it restores to the 1-bit digital signal concerned to the sound signal of an analog with the low pass filter of a low degree etc.

[0009]

[Problem(s) to be Solved by the Invention] However, when it becomes irregular using the delta sigma modulation circuit 100 of the above-mentioned configuration, it has the problem that it is difficult to transmit the both sides of the main signals, such as a sound signal, and sub-signals, such as a flag which shows for example, channel information.

[0010] Here, as a conventional method of transmitting the both sides of the main signal and a sub-signal, the case of the signal-transmission approach in a multi-bit coding method is made into an example, and it explains. In addition, below, how to transmit or record reproduce the main signal and a sub-signal is explained, using digital audios, such as a compact disk, as an example of the typical multi-bit coding method in the former.

[0011] In the case of a compact disk, the sampling frequency  $F_s$  is set as 44.1kHz, and as shown in drawing 13, the upper limited frequency  $F_a$  of voice grade becomes  $1/2F_s$ , i.e., 22.05kHz. Here, in the frequency band from  $F_a$  to  $F_s$ , since the signal of voice grade carries out mirror image reversal and is turned up by  $F_a$ , this band (clinch field) cannot be used for a signal transmission. therefore, the sound signal which is the main signal -- for example, right and left -- when transmitting sub-codes, such as a flag which identifies whether it is which channel, as a sub-signal, the sub-code concerned is divided and transmitted in the direction of a time-axis with the Maine data in which a sound signal is shown, respectively.

[0012] Consequently, in a transmission or record side, while the circuit which encodes the above-mentioned flag and a sound signal is needed according to the standardized data format, by the reception or playback side, the data received or reproduced are decoded and the circuit which separates the above-mentioned Maine data and a sub-code is needed.

[0013] In addition, since the method of carrying out time sharing of the Maine data and the sub-code, and transmitting them checks the advantage of the 1-bit digital coding method that it can get over in an easy circuit, it is inapplicable to a 1-bit digital coding method.

[0014] This invention is made in view of the above-mentioned trouble, and the purpose is an easy circuit and is to offer the signal-transmission approach which superimposes a sub-signal on the main signal and minds the 1-bit digital signal which can be transmitted, a delta sigma modulation circuit, and a demodulator circuit.

[0015]

[Means for Solving the Problem] The signal-transmission approach through the 1-bit digital signal concerning invention of claim 1 In order to solve the above-mentioned technical problem, zero-point control is used for the main signal which has a predetermined effective frequency. The process which carries out a delta sigma modulation and which is modulated to a 1-bit digital signal so that the quantizing noise in the specific frequency in the above-mentioned effective frequency band defined

beforehand may fall, In the signal-transmission approach through the 1-bit digital signal which has the transmission process which transmits a 1-bit digital signal through a transmission line or a record medium, and the process which restores to the told above-mentioned 1-bit digital signal, it is characterized by having the process of further the following.

[0016] That is, it has the process which superimposes a sub-signal on the main signal of the above-mentioned 1-bit digital signal by frequency division multiplex on the above-mentioned specific frequency, and the process which discriminates from the above-mentioned specific frequency of the above-mentioned 1-bit digital signal after the above-mentioned transmission process, and extracts the above-mentioned sub-signal before the above-mentioned transmission process.

[0017] In the above-mentioned configuration, the delta sigma modulation of the main signal given as an analog signal, a multi-bit digital signal, etc. is carried out by the modulation side at a 1-bit digital signal, for example. Under the present circumstances, the quantizing noise level of a 1-bit digital signal is falling by zero-point control on the specific frequency in the effective frequency band of the main signal defined beforehand.

[0018] Furthermore, a 1-bit digital signal is overlapped on a sub-signal by Frequency Division Multiplexing through the subcarrier of a specific frequency at a modulation side. Since quantizing noise level is falling on the specific frequency concerned, the level difference with the lower limit of the quantizing noise level concerned and the level of the main signal is large compared with the frequency of the neighborhood in an effective frequency band, and can secure the both sides of the dynamic range of the main signal, and the dynamic range of a sub-signal on the specific frequency concerned.

[0019] On the other hand, if the 1-bit digital signal concerned is transmitted through a transmission line or a record medium, in a recovery side, the main signal will be recovered from the received 1-bit digital signal. For example, when the main signal is a sound signal, the main signal included in the 1-bit digital signal passes the easy low pass filter of a low degree, and gets over.

[0020] Furthermore, in a recovery side, for example using a band pass filter, the Fourier transform, etc., it discriminates from the specific frequency component of the above-mentioned 1-bit digital signal, and a sub-signal is extracted. Since the dynamic range of the main signal and the dynamic range of a sub-signal are enough secured as mentioned above, in a recovery side, a sub-signal can be extracted that there is no trouble in any way.

[0021] By the signal-transmission approach through the above-mentioned 1-bit digital signal, since the main signal is overlapped on the sub-signal by Frequency Division Multiplexing, a complicated configuration which is needed when transmitting in Time Division Multiplexing etc. is not needed, but the circuit for signal processing can be simplified. Consequently, the main signal and a sub-signal can be superimposed, without checking the advantage in the case of transmitting a signal with a 1-bit digital signal.

[0022] Moreover, the above-mentioned specific frequency is set up in the effective frequency band of the main signal. Therefore, the third person who does not know a specific frequency cannot separate the main signal and a sub-signal. For example, even if a third person discriminates only from the effective band component of the main signal from a 1-bit digital signal, the both sides of the main signal and a sub-signal are included in the signal from which it was discriminated. Moreover, even if it compares when it adds by Time Division Multiplexing since it is Frequency Division Multiplexing, it is hard to separate the main signal and a sub-signal. Consequently, the alteration of the sub-signal by the third person can be prevented.

[0023] The delta sigma modulation circuit concerning invention of claim 2 Two or more integrators by which the input signal used as the main signal was inputted into the first rank, and was mutually connected to concatenation in order to solve the above-mentioned technical problem, The output of the adder adding the output of each above-mentioned integrator and the above-mentioned adder is quantized. Negative feedback of the output of the quantizer which outputs a 1-bit digital signal, and the above-mentioned integrator is carried out from the integrator concerned to the input side of the integrator of the preceding paragraph. In the delta sigma modulation circuit which has the partial negative feedback circuit in which the quantizing noise of the above-mentioned 1-bit digital signal in the

specific frequency defined beforehand is reduced. It is characterized by having a sub-signal superposition means to superimpose a sub-signal on the main signal of the above-mentioned 1-bit digital signal by Frequency Division Multiplexing on the above-mentioned specific frequency.

[0024] With the above-mentioned configuration, the delta sigma modulation of the input signal is carried out by an integrator, an adder, a quantizer, and the partial negative feedback circuit at a 1-bit digital signal. Moreover, for example, the signal of the specific frequency generated based on the sub-signal is inputted into the above-mentioned adder, and a sub-signal superposition means superimposes a sub-signal on the main signal of the 1-bit digital signal concerned in Frequency Division Multiplexing.

[0025] The above-mentioned specific frequency is set up according to the gain of the partial negative feedback loop formation formed of an integrator, a partial negative feedback circuit, etc., and the level of the quantizing noise of a 1-bit digital signal is falling on the specific frequency concerned. Therefore, in the specific frequency concerned, the both sides of the dynamic range of the main signal and the dynamic range of a sub-signal are certainly securable.

[0026] So, the delta sigma modulation circuit which can be modulated to a 1-bit digital signal can be offered for the main signal and a sub-signal like claim 1, without checking the description of the delta sigma modulation that a recovery is easy. Moreover, since the delta sigma modulation circuit concerned superimposes the sub-signal in the effective frequency band of the main signal, it can make difficult the removal or the alteration of a sub-signal by the third person.

[0027] Moreover, the delta sigma modulation circuit concerning invention of claim 3 is characterized by the above-mentioned sub-signal superposition means inputting the above-mentioned sub-signal into one of the inputs of the above-mentioned adder through the subcarrier of the above-mentioned specific frequency in the configuration of invention according to claim 2.

[0028] With the above-mentioned configuration, the sub-signal superposition means is using the adder used for a delta sigma modulation also for superposition of a sub-signal. Therefore, the circuit prepared for superposition can be simplified.

[0029] Furthermore, in the configuration of invention according to claim 2 or 3, the above-mentioned main signal of the delta sigma modulation circuit concerning invention of claim 4 is a sound signal, and the above-mentioned sub-signal is characterized by being the flag for channel information, the existence of pre-emphasis, and copyright protection, an ID code, a mastering code, or the signal that shows at least one of hour entries.

[0030] With the above-mentioned configuration, the information used as each above-mentioned sub-signal relates to the sound signal used as the main signal closely, and is information with little amount of information. Therefore, when there are few level differences of the quantization level in a specific frequency and the lower limit of the main signal level, namely, even if it is the case where the dynamic range of a sub-signal cannot take not much widely, by sufficient S/N, a sub-signal is superimposed, and it can transmit or record. Consequently, in a recovery side, processings relevant to the main signal, such as control of channel separation or pre-emphasis, can be performed based on the above-mentioned sub-signal.

[0031] In order that the demodulator circuit concerning invention of claim 5 may solve the above-mentioned technical problem, the main signal which has a predetermined effective frequency band In the demodulator circuit which restores to the 1-bit digital signal generated by carrying out a delta sigma modulation so that the quantizing noise in the specific frequency in the above-mentioned effective frequency band defined beforehand might fall using zero-point control While the main signal of the above-mentioned 1-bit digital signal is overlapped on the sub-signal by frequency division multiplex through the subcarrier of the above-mentioned specific frequency, discriminating from the above-mentioned specific frequency component from the above-mentioned 1-bit digital signal and extracting the above-mentioned sub-signal It is characterized by having the control means which performs predetermined processing according to the sub-signal concerned.

[0032] With the above-mentioned configuration, since the level of the quantizing noise of a 1-bit digital signal is falling in a specific frequency, in the specific frequency concerned, the securable dynamic range is large compared with the frequency of the neighborhood in an effective frequency band, and can

fully secure S/N of a sub-signal. Therefore, by discriminating from the specific frequency component concerned, the sub-signal on which the 1-bit digital signal was overlapped can be extracted, for example, as for the above-mentioned control means, separation of a channel etc. can perform predetermined processing. Furthermore, since the above-mentioned sub-signal is superimposed by Frequency Division Multiplexing, a demodulator circuit can restore to the main signal easily compared with the case where it superimposes by Time Division Multiplexing.

[0033] In addition, in the configuration of invention according to claim 5, when a DIP cannot be formed not much deeply by a control means's supervising the level of the main signal, and extracting a sub-signal when the level concerned is below a predetermined value, namely, even if it is the case where the quantization noise level in a specific frequency seldom falls, a sub-signal can be extracted certainly.

[0034] Moreover, in the configuration of invention according to claim 5, the above-mentioned main signal of the demodulator circuit concerning invention of claim 6 is a sound signal, and while the above-mentioned sub-signal is channel information which shows the channel of the sound signal concerned, the above-mentioned control means is characterized by performing right and left or separation of multi-channel based on the channel information concerned.

[0035] So, a demodulator circuit can judge the channel of a sound signal correctly. therefore, demodulator circuits when [ of for example each channel ] the transmission line which transmits a 1-bit digital signal is changed -- usually -- \*\*\*\* -- even if it is the case where the 1-bit digital signal of a different channel is received, the demodulator circuit concerned becomes separable [ right and left or multi-channel ] convenient at all. Consequently, when a demodulator circuit sound-izes a sound signal or performs record and transmission further, the demodulator circuit concerned can perform the output of a sound signal etc. by the right channel.

[0036] On the other hand, in the configuration of invention according to claim 5, the above-mentioned main signal of the demodulator circuit concerning invention of claim 7 is a sound signal, and while the above-mentioned sub-signal is a flag which shows the existence of the pre-emphasis of the sound signal concerned, the above-mentioned control means is characterized by controlling ON/OFF of de-emphasis based on the flag concerned.

[0037] So, a demodulator circuit can distinguish certainly whether the sound signal of the received 1-bit digital signal is a signal by which pre-emphasis processing was carried out, and can apply de-emphasis to a sound signal.

[0038] Furthermore, in the configuration of invention according to claim 5, the above-mentioned main signal of the demodulator circuit concerning invention of claim 8 is a sound signal, and while the above-mentioned sub-signal is at least one of the flag for copyright protection of the sound signal concerned, an ID code, or mastering codes, the above-mentioned control means is characterized by restricting a copy or recovery output of the above-mentioned sound signal based on the sub-signal concerned.

[0039] In the above-mentioned configuration, the above-mentioned control means restricts a copy or recovery output of a sound signal, when a sub-signal is extracted from a 1-bit digital signal and the sub-signal has not permitted the copy or the recovery output. For example, when the flag for the copyright protection as a sub-signal of a modulation side is superimposed for the purpose of protecting the copyright of a sound signal, it responds to a modulation side, i.e., an intention of the implementer of a sound signal, and the copy or recovery of a sound signal by the side of a recovery is restricted.

Moreover, when the ID code for distinguishing a sound signal, the mastering code for identifying the classification of a sound signal, etc. are superimposed as a sub-signal, based on these sub-signals, it distinguishes whether a copy or recovery output of the sound signal concerned is permitted to oneself by the recovery side, and when a permission is not granted, a copy or a recovery is restricted. Since a control means restricts a copy or recovery output of a sound signal based on a sub-signal even if it is which case, it sets to a modulation side and authorization/disapproval of the copy by the side of a recovery or a recovery output can be specified.

[0040] By the way, if the above-mentioned sub-signal will be altered by the time it receives a 1-bit digital signal, a demodulator circuit cannot restrict a copy or recovery output of a sound signal. Therefore, conventionally, in order to prevent the alteration of a sub-signal, the sub-signal was

enciphered and the alteration of a sub-signal is prevented. However, by this approach, in order to encipher and decrypt, complicated circuits, such as a sequential circuit, are needed.

[0041] On the other hand, in the configuration of invention according to claim 8, Frequency Division Multiplexing of the sub-signal is carried out on the specific frequency in the effective frequency band of a sound signal. Therefore, the third person who does not know the above-mentioned specific frequency cannot even do separating a sub-signal and the main signal, and cannot alter easily. Consequently, compared with the sub-signal transmitted by Time Division Multiplexing, an alteration is difficult like before. Furthermore, since the above-mentioned specific frequency is prepared in the effective frequency band, if a certain frequency component is removed carelessly, a sound signal will change. Therefore, the alteration of a sub-signal can be prevented still more certainly. Consequently, a demodulator circuit can restrict a copy or recovery output of a sound signal certainly based on authorization/disapproval of the copy directed to the modulation side, or a recovery output.

[0042] In addition, each of flags for the sub-signal adopted in the configuration of invention given in eight from claim 6, i.e., channel information, the existence of pre-emphasis, and copyright protection, ID codes, and mastering codes has little amount of information, and the flag of a small bit can show them. Therefore, the demodulator circuit which starts eight publications from claim 6 can distinguish a sub-signal certainly, even if a dynamic range securable for a sub-signal is comparatively narrow.

[0043]

[Embodiment of the Invention]

[1st operation gestalt] It is as follows when 1 operation gestalt of this invention is explained based on drawing 4 from drawing 1. namely, -- as the sub-signal which the sound signal transmission equipment concerning this operation gestalt is equipment which transmits a sound signal as a main signal, and carries out multiplex to the main signal concerned by frequency division -- the sound signal concerned -- right and left -- the channel information which shows whether it is which channel is used.

[0044] As shown in drawing 2, the above-mentioned sound signal transmission equipment 1 After carrying out the delta sigma modulation of the sound signal which is the analog or multi-bit which source of sound signal 2L and 2R of a right-and-left channel outputted in a sending circuit 3 at a 1-bit digital signal, transmission-line 4L and 4R, such as an optical fiber, are minded. While transmitting to a receiving circuit (demodulator circuit) 5, it restores to these 1-bit digital signal, and sound-izes through amplifier 6L and 6R in a receiving circuit 5 from loudspeaker 7Land7R of a right-and-left channel. Here, in order to distinguish correctly the sound signal of right-and-left each channel and to carry out a recovery output to substitution of the above-mentioned transmission-line 4L and 4R etc., in a sending circuit 3, frequency multiplexing of the channel information which serves as a sub-signal by either (here left channel) is carried out to the sound signal used as the main signal. In addition, below, in case each part material is referred to, when not distinguishing especially right and left, or when naming both generically, the alphabet (R or L) given to the last of a reference mark is excluded, for example, it refers to like the source 2 of a sound signal.

[0045] the integrating circuit 12 where the above-mentioned delta sigma modulation circuit 31 carries out the high order integral of the sound signal of an analog inputted into an input terminal 11 from the above-mentioned source 2 of a sound signal as shown in drawing 1 -- each -- it has the adder 13 adding the next integrator output, the quantizer 14 which quantizes the output of an adder 13 and outputs a 1 bit digital signal, and the digital to analog converter 15 which change the output of the quantizer 14 concerned into an analog value, and returns to the above-mentioned integrating circuit 12.

[0046] The above-mentioned quantizer 14 samples the output of an adder 13 by predetermined sampling frequency FS, when the output concerned is zero or more, draws the output of "1" and derives the output of "0" at the time less than of zero. Thereby, the 1-bit digital signal of sampling frequency FS is outputted from an output terminal 16.

[0047] By the 1-bit digital coding method which carries out the high-speed sampling of the multi-bit digital signal, sampling frequency FS of a quantizer 14 will usually be set up the predetermined number twice of fs(es), such as 32fs and 64fs(es), for example, if the sampling frequency of a multi-bit digital signal is set to fs. Here, in the case of 32fs, like [ in the case of a compact disk ], if fs=44.1kHz, FS will

be set to 2.82MHz in the case of 64fs [ 1.41MHz and ].

[0048] On the other hand, the above-mentioned integrating circuit 12 possesses the feedback resistor r0 prepared between the 7th integrators m1-m7 by which cascade connection was carried out, the feedback circuits (partial negative feedback circuit) m11-m13 for constituting a partial negative feedback loop formation, and the input side of the integrator m1 of the first rank and the above-mentioned digital to analog converter 15, and is constituted. In addition, the feedback resistor r0 concerned is connected to the inversed input terminal of the differential amplifier a1 mentioned later.

[0049] The first integrator m1 is equipped with the differential amplifier a1, the capacitor c1 which is the time constant component prepared between I/O of the differential amplifier a1 concerned, and the input resistance r1 established between the input of an integrator m1, and the inversed input terminal of the differential amplifier a1. In addition, the non-inversed input terminal of the differential amplifier a1 is grounded. The output from this differential amplifier a1 is inputted into the integrator m2 and the above-mentioned adder 13 of the next step as an output of an integrator m1.

[0050] The integrators m2-m7 after the next step are constituted similarly, and the reference mark of a corresponding part attaches and shows the suffix character corresponding to the degree of each integrators m2-m7 to the same alphabet. For example, in the 3rd integrator m3, the output of an integrator m2 is inputted through input resistance r3, and the output of the differential amplifier a3 is inputted into the integrator m4 and adder 13 of the next step.

[0051] Moreover, the above-mentioned feedback circuit m11 is formed in relation to the second integrator m2 and the 3rd integrator m3, and can carry out negative feedback of the output of an integrator m3 to the input side of an integrator m2. Specifically, the feedback circuit m11 concerned is equipped with the differential amplifier a11, the input resistance ri11 by which the end was connected to the inversed input terminal of the differential amplifier a11 concerned, the feedback resistor rf11 prepared between I/O of the differential amplifier a11, and the output resistance ro11 by which the end was connected to the output of the differential amplifier a11. The other end of the above-mentioned input resistance ri11 is connected to the input of a feedback circuit m11, i.e., the output of an integrator m3, and the other end of the above-mentioned output resistance ro11 is connected to the output of a feedback circuit m11, i.e., the inversed input terminal of the differential amplifier a2 formed in the integrator m2. In addition, the non-inversed input terminal of the differential amplifier a11 is grounded. Similarly, in relation to the 4th integrator m4 and the 5th integrator m5, the feedback circuit m12 is formed and the feedback circuit m13 is formed in relation to the 6th integrator m6 and the 7th integrator m7. Since both the feedback circuits m12 and the configuration of m13 are the same as the configuration of a feedback circuit m11, the reference mark of a corresponding part attaches and shows the same suffix character as a feedback circuit m12 and the suffix character of m13 to the same alphabet.

[0052] Of the above-mentioned feedback circuits m11-m13, three partial negative feedback loop formations are formed in an integrating circuit 12. For example, by the partial negative feedback loop formation formed of a feedback circuit m11, after found the integral and are reversed and rotating normally in a feedback circuit m11 further with an integrator m3, negative feedback of the output of an integrator m2 is carried out to the non-inversed input terminal of the differential amplifier a2 formed in the integrator m2.

[0053] Of these three partial negative feedback loop formations, as shown in drawing 3, three DIPs are formed in the frequency characteristics of the quantization noise level of a 1-bit digital signal. the center frequency (zero-point frequency) f of a DIP is decided by the loop gain Gp of each partial negative feedback loop formation, and is shown in the following formulas (1) -- as --  $f = FS \times (Gp)^{1/2} / 2\pi$  -- (1) It becomes. In addition, in an upper type (1), FS is the sampling frequency of the delta sigma modulation circuit 31. Thus, the quantization noise level in a desired frequency band can be held down to below a fixed value by reducing the quantization noise level of a 1-bit digital signal on a zero-point each frequency.

[0054] The gain Gp of a partial negative feedback loop formation is determined by the multiplier multiplier of the differential amplifier which constitutes a partial negative feedback loop formation. For example, the gain Gp of the partial negative feedback loop formation formed of a feedback circuit m11

is determined by the product of the multiplier multiplier of the differential amplifier a2, a3, and a11. Therefore, in a predetermined frequency band, these multiplier multipliers are set up so that a predetermined dynamic range may be maintained and a zero-point frequency may turn into a desired frequency.

[0055] Here, if the conditions demanded by the present noncommercial digital audio device as an example of the above-mentioned frequency band and a dynamic range are mentioned, in a 10kHz - 20kHz frequency band, it will be required that about 90-100dB S/N should be maintained. Therefore, the gain Gp of each above-mentioned partial negative feedback loop formation is set as the magnitude which can secure a desired dynamic range (for example, about 90dB) in a field 20kHz or less, as shown in drawing 3.

[0056] Thus, if the case where the above-mentioned predetermined frequency band is voice grade (usually audible band) is made into an example and it explains, the depth of the quantization noise floor of the voice grade concerned can be effectively reduced by forming a DIP focusing on the upper limit (near 20kHz) of voice grade. In this case, the band where a DIP exists is set to 1kHz - about 40kHz. moreover, the frequencies (zero-point frequency) alpha1, alpha2, and alpha3 of three above-mentioned DIPs -- for example, it is shown in the following formulas (2) and (3) -- as --  $\alpha_1 = \alpha_3 / (2 \text{ and } \sqrt{2})$  -- (2)

$$\alpha_2 = \alpha_3 / \sqrt{2} \text{ -- (3)}$$

It is set as \*\*\*\*.

[0057] Furthermore, amplitude modulation of the sub-signal is carried out to the delta sigma modulation circuit 31 concerning this operation gestalt by the subcarrier of the above-mentioned zero-point frequency, and the additional information signal generating circuit (sub-signal superposition means) 21 which generates an additional information signal is formed in it. The output of the additional information signal generating circuit 21 concerned is impressed to an adder 13, and the output of each integrators m1-m7 and the sum total of an additional information signal are outputted to a quantizer 14.

[0058] With this operation gestalt, the superposition to the main signal of the above-mentioned additional information signal is performed using the adder 13 in the delta sigma modulation circuit 31. In case it carries out a delta sigma modulation, the adder 13 concerned is an indispensable configuration, in order to be delayed and to carry out negative feedback of the quantization output to an input side, and it can multiplex and transmit the main signal and a sub-signal, without adding a special configuration by using the adder 13 concerned also [ superposition / of an additional information signal ].

[0059] In addition, although the integral degree was the 7th order, and the case of explanation where the number of partial negative feedback loop formations was three was made into the example and explained in the delta sigma modulation circuit 31 for convenience by drawing 1, it does not restrict to this. If it is the delta sigma modulation circuit in which zero-point control is possible, the same effectiveness as this operation gestalt will be acquired.

[0060] Although it can set up variously, correspondence with a sub-signal and an additional information signal, how a sub-signal is encoded, or whether the flag which has the amount of information of what bit in which zero-point frequency is assigned specifically here Below, when channel information is added only to the 1-bit digital signal of a left channel, and the three above-mentioned zero-point frequencies are set to alpha 1, alpha 2, and alpha 3 from the lower one with reference to drawing 2 and a sound signal is a left channel, the case where a flag is set only in the zero-point frequency alpha 2 is made into an example, and it explains.

[0061] In this case, the zero-point frequency corresponding to each channel is one, and the amount of information added on the zero-point frequency concerned is 1 bit. Therefore, the additional information signal generating circuit 21 is realizable with the oscillator 22 oscillated on predetermined level with the zero-point frequency concerned, and the switch 23 which chooses whether the output of the oscillator 22 concerned is outputted as an additional information signal.

[0062] With this operation gestalt, in delta sigma modulation circuit 31L by the side of a left channel, the above-mentioned oscillator 22 is set as the zero-point frequency alpha 2 whose oscillation frequency is the 2nd, and the output level is set up smaller than the magnitude from the quantization noise level in

the-zero-point frequency alpha 2 to the lower limit of sound signal level. Moreover, the above-mentioned switch 23 flows, when the sound signal impressed to the delta sigma modulation circuit 31L concerned is a stereo signal. In addition, for example, when [, such as the time of a monophonic signal, ] the sound signal concerned is not a left channel, a switch 23 is intercepted.

[0063] In order that the sound signal transmission equipment 1 concerning this operation gestalt may simplify the configuration which adds channel information, it adds channel information only to the 1-bit digital signal of a left channel, and has not added it to the 1-bit digital signal of a right channel. That is, delta sigma modulation circuit 32R of a right channel is carrying out the delta sigma modulation of the analog sound signal from source of sound signal 2R as it is. As shown in drawing 4, specifically, the delta sigma modulation circuit 32 concerned has the composition of having excluded the additional information signal generating circuit 21 from the delta sigma modulation circuit 31 shown in drawing 1. Moreover, it replaces with the adder 13 shown in drawing 1 in connection with this, and adder 13a with few one inputs is used. In addition, since the residual configuration is the same as that of the delta sigma modulation circuit 31, it gives the same sign to the member which has the same function, and omits explanation.

[0064] Thereby, in the sending circuit 3 shown in drawing 2, delta sigma modulation circuit 31L superimposes the channel information which carries out the delta sigma modulation of the sound signal of the analog which source of sound signal 2L outputted, and shows that it is a left channel. Consequently, the 1-bit digital signal with which it was superimposed on channel information is outputted from output terminal 41L. The 1-bit digital signal of these right-and-left channel is transmitted to a receiving circuit 5 through transmission-line 4L and 4R. In addition, with this operation gestalt, the 1-bit digital signal outputted from output terminal 41R by the side of a right channel is not overlapped on channel information.

[0065] On the other hand, in a sending circuit 5, the 1-bit digital signal inputted from input terminal 42L is told to the channel switch circuit 53 through transmission-line 4L through demodulator circuit 51L and low pass filter 52L. Similarly, the 1-bit digital signal inputted from input terminal 42R is impressed to the above-mentioned channel switch circuit 53 through transmission-line 4R through demodulator circuit 51R and low pass filter 52R. In addition, the channel switch circuit 53 concerned and the channel distinction circuit 63 mentioned later support the control means given in a claim.

[0066] Each above-mentioned demodulator circuit 51 is realized by the low pass filter etc. In this case, the cut-off frequency of a low pass filter is set as the upper limited frequency Ft of the transmission band which can be transmitted with a 1-bit digital signal. Thereby, a 1-bit digital signal is modulated by the analog signal. In addition, the above-mentioned low pass filter 52 just removes the noise component of a high region from the effective frequency band of a sound signal. Therefore, the primary filter instead of an especially high order filter is enough. In this case, for example, it is realizable by one resistance and one capacitor.

[0067] Moreover, the cut-off frequency of each low pass filter 52 arranged on the latter part of each demodulator circuit 51 is set as the upper limited frequency Fa of the band (voice grade) which transmits a sound signal among the above-mentioned transmission bands. In each low pass filter 52, the sound signal which turns into the main signal from the above-mentioned analog signal is extracted by this, and it is inputted into the channel switch circuit 53.

[0068] Here, if a sampling frequency is set to FS, it is known for the 1 bit coding method of high-speed samplings that FS/2 will become the upper limited frequency Ft of a transmission band, and FS/6 will become the upper limited frequency Fa of a frequency band usable as voice grade.

[0069] FS=32 [ for example, ] -- if fs and fs are set to 44.1kHz like [ in the case of a compact disk ]

$$Ft=32 \times 44.1 / 2 = 705.6 \text{ [kHz]} \quad (4)$$

$$Fa=32 \times 44.1 / 6 = 235.2 \text{ [kHz]} \quad (5)$$

It becomes.

[0070] However, when a circuit is actually hardware-ized, in the frequency band to the above-mentioned upper limited frequency Ft and Fa, it is difficult to fully reduce a quantization noise. Therefore, the realistic value of the above-mentioned upper limited frequency Ft and Fa has become about those 1 /

two to 1/4 so that setting to about 90-100dB the conditions of S/N demanded by the present noncommercial digital audio device, i.e., 10-20kHz S/N, can be realized comparatively easily.  $F_a$  is set as about 50kHz and, specifically,  $F_t$  is set as about 120kHz. In addition, when the above-mentioned sampling frequency  $F_S$  is raised to 64fs(es), each upper-limited-frequency  $F_a-F_t$  is set to 100kHz and about 240kHz, respectively.

[0071] Moreover, the relay, the analog switch, etc. realized and, specifically, the above-mentioned channel switch circuit 53 is equipped with the switch s1 which chooses either of the two outputs and outputs one input, and s2. Contact common s1C of a switch s1 is connected to low pass filter 52L, and contact common s2C of a switch s2 is connected to low pass filter 52R. Moreover, one individual contact s1L of a switch s1 and one individual contact s2L of a switch s2 are connected to loudspeaker 7L through amplifier 6L of a left channel in common. Similarly, both the switches s1 and individual contact s1 R-s2R of the remainder of s2 are connected to loudspeaker 7R through amplifier 6R of a right channel in common. According to directions of the channel distinction circuit 63 mentioned later, each switch s1 and s2 interlock, and are switched. Thereby, in case a receiving circuit 5 outputs the sound signal of an analog to loudspeaker 7L and 7R of both channels, it can choose whether a right-and-left channel is replaced.

[0072] Furthermore, in order to extract the sub-signal on which the 1-bit digital signal was overlapped, i.e., channel information, it connects with the output of each above-mentioned demodulator circuit 51L and 51R, and band pass filter 62L and 62R by which center frequency was set as the above-mentioned zero-point frequency alpha 2, and channel distinction circuit 63L and 63R which control the above-mentioned channel switch circuit 53 based on the output of each band pass filter 62L and 62R are prepared in the receiving circuit 5.

[0073] The extract of channel information is performed in the channel distinction circuit 63 that each above-mentioned band pass filter 62 just removes the noise in bands other than the above-mentioned zero-point frequency alpha2. Therefore, the primary filter can realize, without using a high order filter especially.

[0074] Moreover, it judges with as for channel distinction circuit 63L of a left channel, the flag which shows a left channel standing, when the Fourier transform of the output signal of band pass filter 62L is carried out and the frequency alpha2 above-mentioned component is over the predetermined value. Furthermore, when it judges with the flag which shows a left channel standing as for the channel distinction circuit 63L concerned, it is made to flow through the individual contact s1L side, and is made to flow through the individual contact s2R side of a switch s2 in the switch s1 in the above-mentioned channel switch circuit 53. On the other hand, channel distinction circuit 63R of a right channel Like channel distinction circuit 63L, when frequency alpha2 component of the output signal of band pass filter 62R is over the predetermined value, it judges with the flag which shows a left channel standing. The individual contact s1R side is made to choose it as the switch s1 in the above-mentioned channel switch circuit 53, and the individual contact s2L side is made to choose it as a switch s2 contrary to the case of channel distinction circuit 63L.

[0075] Here, when the superimposed sub-signal does not always need to be extracted like [ in the case of superimposing channel information as a sub-signal ], each channel distinction circuit 63 can improve further the precision at the time of separating the main signal and a sub-signal by extracting a sub-signal at the specific time.

[0076] In the narrow-band which adjoined the frequency in which a sub-signal exists, each channel distinction circuit 63 supervises the output-signal level of a band pass filter 62, and, specifically, supervises the level of the main signal in a 1-bit digital signal. For example, as for the channel distinction circuit 63, the time of a non-input signal, a minute input signal, etc. extract a sub-signal at the period when the output-signal level in the narrow-band concerned does not reach predetermined level.

[0077] The frequency of a sub-signal is being fixed on the zero-point frequency determined by zero-point control, and the spectrum is not diffused to the adjoining band. On the other hand, the spectrum of the main signals, such as a sound signal, is diffused compared with a sub-signal. Consequently, the period when the level of the main signal is falling can be correctly distinguished [ near the zero-point

frequency ] by distinguishing the input signal level in the narrow-band which adjoined the zero-point frequency concerned. Therefore, during this period, when the channel distinction circuit 63 extracts a sub-signal, the main signal and a sub-signal can be separated with a still more sufficient precision.

[0078] For example, in the compact disk of a multi-bit coding method, a recordable dynamic range is 100dB. On the other hand, the configuration of a quantization noise floor is [ about ] about S/N, when sampling frequency FSs of the delta sigma modulation circuit 31 are 64fs(es), for example, although it changes with the constants of the component which constitutes the integrating circuit 12 in the delta sigma modulation circuit 31 shown in drawing 1 etc. a lot. -It can be made to fall to 120dB or less.

Therefore, it is [ about ] about the threshold of the above-mentioned input signal level. -It can be set as about 120dB.

[0079] In addition, the output-signal level of not only the output signal of a band pass filter 62 but the demodulator circuit 51 etc. is sufficient as the signal which the channel distinction circuit 63 supervises. In the main signal level in the above-mentioned narrow-band, if identifiable, the same effectiveness as this operation gestalt will be acquired.

[0080] It is as follows when actuation of sound signal transmission equipment 1 each part in the above-mentioned configuration is explained based on drawing 2. That is, the analog sound signal of the left channel generated by source of sound signal 2L is inputted into a sending circuit 3. In a sending circuit 3, the sinusoidal signal of the carrier frequency alpha 2 made to generate by oscillator 21a in the additional information signal generating circuit 21 is added to the sound signal concerned as channel information which shows a left channel with the adder 13 (refer to drawing 1 ) in delta sigma modulation circuit 31L. Furthermore, a delta sigma modulation is carried out and the added signal is outputted to transmission-line 4L. On the other hand, the sound signal of a right channel is generated by source of sound signal 2R, it is delta sigma modulation circuit 32R in a sending circuit 3, and after a delta sigma modulation is carried out as it is at a 1-bit digital signal, it is outputted to transmission-line 4R.

[0081] Here, when the above-mentioned both transmission-lines 4L and 4R are connected correctly, the 1-bit digital signal of a left channel is inputted into input terminal 42L for left channels in a receiving circuit 5, and the 1-bit digital signal of a right channel is inputted into input terminal 42R. After restoring to the 1-bit digital signal inputted from input terminal 42L for left channels in demodulator circuit 51L and low pass filter 52L, a sound signal component is extracted. Moreover, the output signal of demodulator circuit 51L is impressed to band pass filter 62L and channel distinction circuit 63L, and it is judged whether frequency alpha2 component set up beforehand is over predetermined level.

Similarly, a recovery and the extract of a sound signal component are performed to the 1-bit digital signal inputted from input terminal 42R in demodulator circuit 51R and low pass filter 52R.

[0082] Here, the 1-bit digital signal of a left channel, i.e., the signal superimposed on channel information by Frequency Division Multiplexing on the above-mentioned frequency alpha 2, is correctly inputted into above-mentioned input terminal 42L. Therefore, channel distinction circuit 63L judges with being superimposed on the channel information which shows a left channel to the 1-bit digital signal concerned, and controls the switch s1 in the channel switch circuit 53, and s2. In addition, since the 1-bit digital signal of a right channel is not overlapped on channel information, the above-mentioned frequency component alpha 2 does not reach predetermined level. Therefore, channel distinction circuit 63R is not controlling the channel switch circuit 53.

[0083] Thereby, a switch s1 flows in individual contact s1L, and outputs the output signal of low pass filter 52L from output terminal 71L of a left channel. Consequently, the sound signal of a left channel is sound-sized by amplifier 6L and loudspeaker 7L. Moreover, a switch s2 flows in individual contact s2R, and outputs the output signal of low pass filter 52R from output terminal 71R of a right channel.

Consequently, the sound signal of a right channel is sound-sized by amplifier 6R and loudspeaker 7R.

[0084] On the other hand, when transmission-line 4L and 4R are changed, the 1-bit digital signal of a left channel is inputted into input terminal 42R for right channels in a receiving circuit 5. Consequently, frequency alpha2 component of the 1-bit digital signal concerned exceeds predetermined level. Therefore, channel distinction circuit 63R of a right channel judges with being superimposed on the

channel information which shows a left channel, makes the individual contact s1R side choose it as a switch s1, and makes the individual contact s2L side choose it as a switch s2 contrary to the case where transmission-line 4L and 4R are connected correctly. Consequently, even if it is the case where the 1-bit digital signal of a left channel is accidentally inputted into input terminal 42R for right channels, a receiving circuit 5 outputs correctly the sound signal which restored to the 1-bit digital signal concerned from output terminal 71L of a left channel.

[0085] Thus, a receiving circuit 5 can replace and output a right-and-left channel based on the channel information on which the 1-bit digital signal concerned was overlapped, when the channel of the received 1-bit digital signal is changed. Consequently, by substitution of transmission-line 4R and 4L etc., even if usual is the case where the 1-bit digital signal of a different channel is told to a receiving circuit 5, the sound signal transmission equipment 1 can carry out [sound]-izing of the sound signal of each channel by the right channel.

[0086] With the above-mentioned configuration, since the sub-signal is superimposed by Frequency Division Multiplexing to the main signal, neither a special format nor an error prevention circuit is needed like the conventional method which transmits the main signal and a sub-signal by Time Division Multiplexing. Moreover, in superimposing a sub-signal, since it superimposes by frequency division multiplex, the adder 13 (refer to drawing 1) in the delta sigma modulation circuit 31 can be used. It can transmit with the main signal and a sub-signal, without being able to simplify the configuration for transmitting a sub-signal by leaps and bounds these results, and spoiling the advantage of a 1-bit digital coding method.

[0087] In addition, although the above explanation explained the case where only the 1-bit digital signal of a left channel was overlapped on channel information, you may superimpose only for example, not only on this but on a right channel. Furthermore, for example, in the case of a right channel, a flag is set in the zero-point frequency alpha 1, in the case of a left channel, a flag may be set in the zero-point frequency alpha 2, and channel information which is mutually different in each 1-bit digital signal of both channels may be superimposed. If at least one 1-bit digital signal is overlapped on channel information among the 1-bit digital signals of each channel, the same effectiveness as this operation gestalt will be acquired.

[0088] Moreover, in the above explanation, although the case of two right and left was explained, the invention in this application can be applied, not only this but when the sound signal transport unit 1 is equipped with two or more channels. For example, it separates into the multi-channel which consists of three channels (the right, a center, and left) and two back (right and left) a front, and also when identifying each channel in a receiving circuit, it can apply. In this case, as an example of the correspondence relation between channel information and a zero-point frequency, in the case of a front right channel, a flag is set only in the zero-point frequency alpha 1, and while setting a flag only in the zero-point frequency alpha 2 in the case of a front left channel, in the case of the Maenaka \*\* channel, a flag is set only in the zero-point frequency alpha 3. Furthermore, in the case of a back right channel, a flag is set to the zero-point frequency alpha 1 and the both sides of alpha 2, and, in the case of a back left channel, a flag is set to the zero-point frequency alpha 1 and the both sides of alpha 3. Thus, it can respond to the channel more than the number of a zero-point frequency with the combination of a zero-point frequency.

[0089] [2nd operation gestalt] The 1st operation gestalt mentioned above explained the case where channel information was superimposed, as a sub-signal. On the other hand, with this operation gestalt, in case the sound signal with which sound signal transmission equipment 1a becomes the main signal is transmitted based on drawing 5, the case where the flag which shows the existence of pre-emphasis is superimposed as a sub-signal is explained. When pre-emphasis means the processing which emphasizes a predetermined frequency component beforehand to the sound signal inputted into the delta sigma modulation circuit 31 and pre-emphasis is performed, receiving-circuit 5 of above-mentioned sound signal transmission equipment 1a performs the processing to which the level of the above-mentioned predetermined frequency component is reduced, i.e., de-emphasis processing, in case it restores to a sound signal. Thereby, receiving-circuit 5a can return evenly the frequency characteristics of the sound

signal of the analog outputted to amplifier 6L and 6R.

[0090] In addition, pre-emphasis processing can consider the case where various frequency components are emphasized, when it is the processing which emphasizes a predetermined frequency component, a high-frequency component is emphasized and a low-pass component is controlled, or when emphasizing a low-pass component contrary to this and controlling a high-frequency component. Below, pre-emphasis processing explains the case where a high-frequency component is emphasized, as the example.

[0091] Sound signal transmission equipment 1a concerning this operation gestalt is replaced with the channel switch circuit 53 shown in drawing 2 in receiving-circuit 5a, deemphasis network 54L and 54R are prepared, it replaces with each channel distinction circuit 63L, and, specifically, emphasis distinction circuit 64L is prepared. Emphasis distinction circuit 64L is prepared only in the left channel, and this emphasis distinction circuit 64L controls deemphasis network 54L and 54R of both channels by receiving-circuit 5a concerning this operation gestalt. In connection with this, band pass filter 62R of a right channel and channel distinction circuit 63R are excluded from the receiving circuit 5 shown in drawing 2 by concerned receiving-circuit 5a. In addition, the above-mentioned deemphasis network 54 and the emphasis distinction circuit 64 correspond to a control means given in a claim.

[0092] Moreover, in sending-circuit 3a, it replaces with the additional information signal generating circuit 21 which generates a channel distinction signal, and additional information signal generating circuit 21a which generates an emphasis distinction signal is prepared. In addition, the same sign is appended to the member described in the drawing of the 1st operation gestalt which explanation mentioned above for convenience, and the member which has the same function, and the explanation is omitted.

[0093] The above-mentioned additional information signal generating circuit 21a consists of an oscillator 22 and a switch 23 like the above-mentioned additional information signal generating circuit 21. However, with this operation gestalt, a switch 23 flows, when pre-emphasis of the sound signal of an analog inputted into the delta sigma modulation circuit 31 is carried out, and when pre-emphasis is not carried out, it is intercepted. In addition, closing motion of the above-mentioned switch 23 is performed by OFF/ON of that being interlocked with, when the pre-emphasis circuit is prepared in the sending circuit 3. Moreover, when the pre-emphasis circuit is established in the source of sound signal 2L, and 2R side, the switch signal of dedication may be transmitted to sending-circuit 3a from its source of sound signal 2L, and 2R, and closing motion of a switch 23 may be controlled based on the switch signal concerned. Furthermore, closing motion of a switch 23 may be performed based on assignment of a user. Even if it is which case, when pre-emphasis is performed, a pre-emphasis distinction signal is impressed to the delta sigma modulation circuit 31 through a switch 23.

[0094] Moreover, with this operation gestalt, the oscillation frequency of an oscillator 22 is set as alpha 1. Therefore, when pre-emphasis is ON, a flag is set in the above-mentioned zero-point frequency alpha 1 as a sub-signal by the 1-bit digital signal which sending-circuit 3a outputs from output terminal 41L of a left channel.

[0095] On the other hand, it is prepared between low pass filter 52L and output terminal 71L, and resistance r1 L-r2L mutually connected to the serial, the capacitor cL by which the end was connected to both resistance r1 L-r2L, and switch s3L which chooses whether the other end of the capacitor cL concerned is grounded are prepared in deemphasis network 54L of the left channel prepared in receiving-circuit 5a. Similarly, deemphasis network 54R of a right channel is equipped with resistance r1 R-r2R, Capacitor cR, and switch s3R. When performing de-emphasis so that it may mention later, according to directions of the emphasis distinction circuit 64, the above-mentioned both switch s3 L-s3R interlocks, and it flows through it. Thereby, a low pass filter is formed and a frequency can make it increase to becoming high with the magnitude of attenuation of both deemphasis network 54L and 54R. Moreover, in each deemphasis network 54, the magnitude of resistance R1, R2, and Capacitor C is beforehand set as the magnitude which can negate pre-emphasis processing.

[0096] Therefore, both deemphasis network 54L and 54R control a high frequency component among the output signals of both low pass filter 52L and 52R, and can output it from output terminal

71Land71R, respectively. Thereby, when a high-frequency component is emphasized by pre-emphasis processing, receiving-circuit 5a negates pre-emphasis processing, and can output the sound signal with flat frequency characteristics of an analog to amplifier 6L and 6R.

[0097] In addition, when it was constituted according to the constant of pre-emphasis, for example, pre-emphasis processing is low-pass emphasis and a switch s3 flows, a deemphasis network 54 is constituted so that a high-pass filter may be formed.

[0098] Moreover, the emphasis distinction circuit 64 is the same as the channel distinction circuit 63 shown in drawing 2, extracts the emphasis distinction signal which is a sub-signal from the output signal of each demodulator circuit 51, and controls each above-mentioned deemphasis network 54. When zero-point frequency alpha1 component exceeds predetermined level, a deemphasis network 54 judges with pre-emphasis of the sound signal which is the main signal being carried out, and makes it specifically flow through the above-mentioned both switch s3 L-s3R in the output signal of a demodulator circuit 51.

[0099] Thus, in sound signal transmission equipment 1a of the above-mentioned configuration, sending-circuit 3a can superimpose and transmit the sub-signal which shows the existence of the pre-emphasis which relates to a sound signal closely to a 1-bit digital signal. Moreover, receiving-circuit 5a can choose ON/OFF of de-emphasis automatically based on the sub-signal concerned. Furthermore, the display circuit which shows the existence of pre-emphasis can only consist of connecting an emphasis distinction signal to light emitting diode as it is.

[0100] [3rd operation gestalt] The case where the hour entry of the sound signal of the invention in this application which turns into the main signal with this operation gestalt is added as a sub-signal is further explained as a gestalt of other operations based on drawing 6. In addition, since sound signal transmission equipment 1b concerning this operation gestalt is similar with the sound signal transmission equipment 1 concerning the 1st operation gestalt, it appends the same sign to the member described in the drawing of the 1st [ of explanation / for convenience ] above-mentioned operation gestalt, and the member which has the same function, and omits the explanation to it.

[0101] In sound signal transmission equipment 1b concerning this operation gestalt, in sending-circuit 3b, it replaces with the additional information signal generating circuit 21 shown in drawing 2, and additional information signal generating circuit 21b which generates a time amount information signal is prepared. The information which shows the total time amount at the time of the hour entry concerned transmitting a sound signal, or music is the information which shows the elapsed time for every music when a sound signal is divided into two or more parts, and it has the amount of information of about 8 bits. In addition, like an above-mentioned emphasis distinction signal, even if this hour entry is generated within sending-circuit 3b, it may be inputted from the source 2 side of a sound signal.

[0102] Specifically, the above-mentioned additional information signal generating circuit 21b is equipped with the oscillator 22 which generates the sine wave of each frequency of the zero-point frequencies alpha1-alpha3, the hour entry generating circuit 24 which generates the digital signal corresponding to a hour entry, and the encoder 25 which carries out amplitude modulation of each above-mentioned sine wave based on the digital signal concerned. The above-mentioned encoder 25 divides the digital signal from the hour entry generating circuit 24 into the bit string corresponding to the zero-point each frequencies alpha1-alpha3. With this operation gestalt, a hour entry is about 8 bits and the zero-point frequency is set as three. Therefore, a hour entry is divided into three bit strings of triplet length. Furthermore, an encoder 25 carries out amplitude modulation of the sine wave of the zero-point each frequency inputted from the oscillator 22 to eight steps according to the value of the bit string corresponding to a zero-point each frequency. Moreover, an encoder 25 superimposes each signal by which amplitude modulation was carried out, and generates a time amount information signal. Thereby, additional information signal generating circuit 21b can impress a time amount information signal to the delta sigma modulation circuit 31 as an additional information signal.

[0103] On the other hand, it replaces with channel distinction circuit 63L shown in drawing 2, and the decoder (control means) 65 which restores to the above-mentioned time amount information signal, and the display drive circuit 66 which drives a display 67 according to directions of the decoder 65

concerned are established in receiving-circuit 5b. In addition, in receiving-circuit 5b, the channel switch circuit 53 is excluded from the receiving circuit 5 shown in drawing 2 by the band pass filter 62 by the side of a right channel and the channel distinction circuit 63, and the list, and the output signal of each low pass filter 52L and 52R is outputted from output terminal 71Land71R as it is.

[0104] The above-mentioned decoder 65 extracts the frequency component of the zero-point each frequencies alpha1-alpha3 for the output signal of a demodulator circuit 51 using reception and the Fourier transform through a band pass filter 62. Furthermore, it restores to a decoder 65 to the digital signal which shows a hour entry in the procedure in which the above-mentioned encoder 25 is reverse. A decoder 65 carries out the amplitude recovery of each frequency component, and, specifically, outputs the digital signal which the bit string of a triplet is generated, and each bit string is connected, and shows a hour entry, respectively.

[0105] Moreover, the above-mentioned display 67 puts for example, two or more Japanese alphabetic character segments in order, and is constituted. Based on directions of the display drive circuit 66, each segment controls lighting/putting out lights for every node of the alphabetic character of a "day", and can display a figure or the alphabet. The above-mentioned display drive circuit 66 impresses an electrical potential difference to the terminal in which the lighting node of each segment is determined, for example, the lighting node of each segment is shown based on the digital signal from a decoder 65, and controls the display of a display 67. Thereby, a display 67 can display the character string which shows a hour entry.

[0106] In addition, what is necessary is to pack some flags by which sequential superposition is carried out, to form one word, and just to express a hour entry per word in the zero-point each frequencies alpha1-alpha3, when a range required as a dynamic range of a sub-signal in order to carry out amplitude modulation to eight steps is not securable. For example, as a dynamic range of a sub-signal, when 1 bit, i.e., the range in which amplitude modulation is possible, can be secured in two steps, an encoder 25 divides the digital signal from the hour entry generating circuit 24 into every [ a triplet ], and is intermittent [ with a predetermined period ] in the sine wave from an oscillator 22 according to the value of each bit. A hour entry can be transmitted even if it is the case where this does not fulfill the magnitude which needs the sum total of a range securable as a dynamic range of a sub-signal in order to transmit a hour entry in a zero-point each frequency.

[0107] [4th operation gestalt] Further, as a gestalt of other operations, with this operation gestalt, in case the sound signal used as the main signal of the invention in this application is transmitted, the case where the flag for copyright protection of the sound signal concerned is superimposed and transmitted as a sub-signal is explained based on drawing 7. In addition, since sound signal transmission equipment 1c concerning this operation gestalt is also similar with the sound signal transmission equipment 1 concerning the 1st operation gestalt, the same sign is appended to the member described in the drawing of the 1st [ of explanation / for convenience ] above-mentioned operation gestalt, and the member which has the same function, and it omits the explanation to it.

[0108] In sound signal transmission equipment 1c concerning this operation gestalt, in sending-circuit 3c, it replaces with the additional information signal generating circuit 21 shown in drawing 2, and additional information signal generating circuit 21c which generates the flag signal which shows the existence of the flag for copyright protection is prepared. On the other hand, it replaces with the channel switch circuit 53 shown in drawing 2, and the output-control circuit 55 which chooses whether a sound signal outputs is formed, it replaces with channel distinction circuit 63L and 63R, and flag distinction circuit 68L and 68R which distinguishes the above-mentioned flag signal are prepared in receiving-circuit 5c. In addition, the output-control circuit 55 and the flag distinction circuit 68 correspond to a control means given in a claim.

[0109] It is added in order that the above-mentioned flag may control a copy and duplicate of the sound signal used as the main signal, and with this operation gestalt, when copying a sound signal once (i.e., when performing the signal transmission from sending-circuit 3c to receiving-circuit 5c once), sending-circuit 3c superimposes and transmits the flag signal which shows those with a flag to a 1-bit digital signal. On the other hand, receiving-circuit 5c prevents, when the flag signal shows those with a flag, the

recovery output, i.e., playback, of the 1-bit digital signal concerned.

[0110] Specifically in the above-mentioned additional information signal generating circuit 21c, an oscillator 22 outputs the sine wave of predetermined zero-point frequencies, such as the zero-point frequency alpha 1, continuously. A switch 23 flows, when copying a sound signal once, and it is impressed to the delta sigma modulation circuit 31 by making the above-mentioned sine wave into a flag signal. Thereby, when copying a sound signal once, the sound signal concerned is overlapped on the flag signal which shows those with a flag, and a delta sigma modulation is carried out at a 1-bit digital signal.

[0111] Moreover, the output-control circuit 55 is equipped with switch s4R prepared between switch s4L prepared between low pass filter 52L and output terminal 71L, and low pass filter 52R and output terminal 71R in receiving-circuit 5c. Furthermore, each flag distinction circuit 68 is the same configuration as the channel distinction circuit 63 shown in drawing 2, based on the magnitude of zero-point frequency alpha1 component in the output signal of a demodulator circuit 51, distinguishes the existence of a flag and controls closing motion of the above-mentioned both switch s4 L-s4R. It judges with each flag distinction circuit 68 specifically having a flag, when the frequency component concerned is over predetermined level. If at least one side judges with those with a flag, the flag distinction circuit 68 will intercept the above-mentioned both switch s4 L-s4R. Moreover, when both flag distinction circuits 68 judge with having no flag, the above-mentioned both switch s4 L-s4R flows.

[0112] For example, when not superimposed on the flag signal which shows those with a flag to the 1-bit digital signal inputted into receiving-circuit 5c when a 1-bit digital signal is impressed from the source of a sound signal which is not illustrated to direct receiving-circuit 5c, the flag distinction circuit 68 makes it flow through the above-mentioned both switch s4 L-s4R. Consequently, the 1-bit digital signal concerned is outputted from output terminal 7Land7R as a sound signal of an analog through a demodulator circuit 51, a low pass filter 52, and the output-control circuit 55.

[0113] On the other hand, as shown in drawing 7, when the sound signal which the source 2 of a sound signal outputted is transmitted to receiving-circuit 5c through sending-circuit 3c and a transmission line 4, sending-circuit 3c superimposes and transmits the flag signal which shows those with a flag to a 1-bit digital signal. Therefore, in receiving-circuit 5c, the flag distinction circuit 68 intercepts the above-mentioned both switch s4 L-s4R. Thereby, transfer is prevented in the output-control circuit 55, and the output signal of the low pass filter 52 concerned is not outputted from output terminal 7Land7R. Consequently, according to an intention of the implementer of a sound signal, a copy or the count of a duplicate of the sound signal concerned can be controlled, and the copyright of the implementer of a sound signal can be protected.

[0114] Here, the carrier frequency of the above-mentioned flag signal is set as the zero-point frequency, and is in the effective frequency band of the sound signal used as the main signal. Therefore, it is very difficult for the third person who does not know a zero-point frequency to alter a flag signal from the 1-bit digital signal transmitted in a transmission line 4. For example, in the case of a multi-bit coding method, a flag signal can be altered if the bit of reception and predetermined sequence is altered for all bits from the digital signal which passes through a transmission line 4, since the bit which shows a sound signal, and the bit which shows a flag signal are transmitted by Time Division Multiplexing. Moreover, if the band pass filter which will pass only the frequency band of a sound signal, for example if the frequency band of a sound signal differs from the frequency band of a flag signal is used like this operation gestalt even if it is the case where a sound signal and a flag signal are transmitted by Frequency Division Multiplexing, only a sound signal can be extracted from the 1-bit digital signal which passes through a transmission line 4. On the other hand, since the frequency band of a flag signal and the frequency band of a sound signal have lapped with this operation gestalt, both separation itself is very difficult. For example, even if it extracts only the frequency band component of a sound signal from a 1-bit digital signal, the flag signal is included in the extracted signal. Consequently, the alteration of the flag signal by the third person can be prevented, and the copyright of the implementer of a sound signal can be certainly protected compared with the former.

[0115] In addition, with this operation gestalt, a flag signal only distinguishes the existence of a flag,

and although receiving-circuit 5c has distinguished [ whether the copy of a sound signal was performed, and ] the chisel, it is not restricted to this. If the signal which shows the count which can copy receiving-circuit 5c as a flag signal is used, the count of a copy of a sound signal can be restricted to the count which the implementer of a sound signal meant. Specifically, the source 2 of a sound signal superimposes beforehand the flag signal which shows the count of a copy which the implementer of a sound signal meant through the subcarrier of a predetermined zero-point frequency to the sound signal to output by frequency multiplex division. Additional information signal generating circuit 21c generates the flag signal which shows a count smaller [ one ] than the count which the flag signal concerned shows, and the delta sigma modulation circuit 31 superimposes the new flag signal which additional information signal generating circuit 21c generated on the 1-bit digital signal concerned while modulating the sound signal after removing the flag signal on which it was superimposed to a 1-bit digital signal. Furthermore, the flag distinction circuit 68 of receiving-circuit 5c makes the sound signal after a recovery output to the output-control circuit 55, only when the count which a flag signal shows is identified and the larger count than 0 is shown.

[0116] [5th operation gestalt] Further, as a gestalt of other operations, with this operation gestalt, in case the sound signal used as the main signal of the invention in this application is transmitted, the case where the ID code of the sound signal concerned is superimposed and transmitted as a sub-signal is explained based on drawing 8. In addition, since 1d of sound signal transmission equipment concerning this operation gestalt is similar with sound signal transmission equipment 1c concerning the operation gestalt of the above 4th, it appends the same sign to the member described in the drawing of the 4th [ of explanation / for convenience ] above-mentioned operation gestalt, and the member which has the same function, and omits the explanation to it.

[0117] In 1d of sound signal transmission equipment concerning this operation gestalt, in 3d of sending circuits, it replaces with additional information signal generating circuit 21c shown in drawing 7, and 21d of additional information signal generating circuits which generate the code signal which shows the above-mentioned ID code is prepared. Similarly, instead of flag distinction circuit 68L and 68R shown in drawing 7, the above-mentioned code signal is distinguished to 5d of receiving circuits, and code distinction circuit (control means) 69L and 69R which controls the output-control circuit 55 are prepared in them.

[0118] The above-mentioned ID code is a code for identifying the sound signal itself [ used as the main signal ], based on the ID code which 3d of sending circuits added, 5d of receiving circuits distinguishes the sound signal which can enjoy oneself, and they control a copy and a duplicate. If this ID code is used, for example, the sound signal which superimposed the ID code is distributed to two or more audiences using wireless, a cable, or a record medium, and only those who paid the predetermined tariff among these audiences can realize 1d of refreshable sound signal transmission equipment for the sound signal concerned.

[0119] With this operation gestalt, as an example at the time of encoding an ID code, an ID code is expressed with a binary digit and a zero-point each frequency is assigned for every Gentlemen of a binary digit. Furthermore, when a certain grade is "1", a flag is set in the zero-point frequency corresponding to it, and a flag is not set at the time of "0." For example, when the single figure and alpha 2 are assigned to the double figures and alpha 3 is assigned to the triple figures for the zero-point frequency alpha 1, an ID code "101" sets a flag to alpha1 and alpha3, and is expressed, and an ID code "011" sets a flag to alpha2 and alpha3, and is expressed.

[0120] In this case, in the 21d of the above-mentioned additional information signal generating circuits, an oscillator 22 outputs the sine wave of three zero-point frequencies alpha1-alpha3, respectively, and the switch 23 formed in relation to each sine wave flows, when setting a flag on a corresponding frequency, and when not setting a flag, it is intercepted. Thereby, 21d of additional information signal generating circuits outputs the code signal which shows an ID code. The code signal concerned is superimposed by the sound signal which turns into the main signal in the delta sigma modulation circuit 31.

[0121] On the other hand, the code distinction circuit 69 extracts a zero-point each frequency

component, and discriminates the ID code on which the 1-bit digital signal was overlapped from the output signal of a demodulator circuit 51. And when the ID code concerned fulfills predetermined conditions, it is made to flow through both switch s4 L-s4R of the output-control circuit 55, and when that is not right, both switch s4 L-s4R is intercepted. in addition, predetermined conditions -- for example, according to the purpose of using whether to be in agreement with the ID code which the code distinction circuit 69 memorizes beforehand, and whether the result of an operation using an ID code is in a certain within the limits, and ID codes, it can be set as versatility.

[0122] Consequently, 5d of receiving circuits can output a sound signal from each output terminal 71, only when it is the ID code which can enjoy the ID code on which the received 1-bit digital signal was overlapped.

[0123] In addition, although this operation gestalt explained the case where the ID code of a sound signal was added, as a sub-signal, the same effectiveness is acquired, even when replacing with an ID code and adding a mastering code. In specifically recording the sound signal used as a master, it sets a flag in the zero-point frequency alpha 1 as a code signal which shows that the sound signal concerned is a master. The delta sigma modulation circuit 31 superimposes the code signal concerned on a 1-bit digital signal, and a 1-bit digital signal is written in the above-mentioned record medium. On the other hand, when a 1-bit digital signal is reproduced from a record medium, the code distinction circuit 69 of 5d of receiving circuits answers the code signal on which the 1-bit digital signal was overlapped, and controls the output-control circuit 55. Thereby, when the mastering code is not added, 5d of receiving circuits controls the output of a sound signal, and they control a copy and duplicate of a sound signal.

[0124] In addition, the sub-signal superimposed with the above 1st thru/or the 5th operation gestalt is an example to the last, and it can be set up variously how a sub-signal is encoded or whether the flag which has the amount of information of what bit in which zero-point frequency is assigned. However, the level of the additional information signal on which it is superimposed on a certain zero-point frequency must be set up smaller than the magnitude from the noise level in a zero-point frequency to the lower limit of sound signal level. Therefore, the amount of information of the flag added to one zero-point frequency is restricted by the noise level in a DIP, and the dynamic range of a sound signal. Furthermore, as shown in drawing 11 from drawing 9, various sub-signals can be multiplexed by setting the number of a zero-point frequency as plurality, and combining the flag added to a zero-point each frequency.

[0125] In addition, if some flags by which sequential superposition is carried out are packed, one word is formed and a sub-signal is expressed per word, much more sub-signals can be superimposed. However, a word synchronization is needed about transmission of a sub-signal like the case where the main signal is transmitted using a multi-bit coding method, like before in this case. Therefore, compared with the case where a sub-signal is not transmitted by Time Division Multiplexing, a circuit becomes complicated and modification of specification becomes difficult. However, even if it is the case where a sub-signal is transmitted by the multi-bit coding method unlike the former, the main signal is transmitted using the 1-bit digital signal. Therefore, about separation with a sub-signal and the main signal, and processing of the main signal, it is realizable in the same circuit as the case where a sub-signal is not transmitted by Time Division Multiplexing. Therefore, a sub-signal can be superimposed on the main signal like each above-mentioned operation gestalt, without complicating the processing circuit of the main signal. Moreover, since the frequency (zero-point frequency) superimposed on the sub-signal is in the effective use band of the main signal, a difficult point also has the alteration of a sub-signal same [ in order to extract a sub-signal, before taking a word synchronization, it is necessary to separate a sub-signal from the main signal but and / a frequency ].

[0126] In addition, although the case where one kind of sub-signal was added with each 5th operation gestalt was explained from the above 1st, not only this but two or more kinds of sub-signals may be superimposed on the main signal. For example, each of emphasis distinction signals concerned and above-mentioned channel distinction signals is signals whose amount of information is 1 bit, and each can be transmitted on one zero-point frequency. When it follows, for example, pre-emphasis processing is made, an emphasis distinction signal is superimposed with the carrier frequency of the zero-point frequency alpha 1 shown in drawing 3, and, in the case of a left channel, a channel distinction signal

can be superimposed with the carrier frequency of the zero-point frequency alpha 2. Thus, the both sides of the flag and channel information which show the existence of pre-emphasis can be superimposed and transmitted to coincidence by Frequency Division Multiplexing to the sound signal used as the main signal by setting the carrier frequency of an emphasis distinction signal, and the carrier frequency of a channel distinction signal as a respectively different zero-point frequency.

[0127] Moreover, although the case where a 1-bit digital signal was transmitted was made into the example and each above-mentioned operation gestalt explained, for example through the transmission line 4 of an optical fiber etc., it does not restrict to this. A sending circuit 3 (3a-3d) records a 1-bit digital signal on a record medium, and this invention can apply it, also when a receiving circuit 5 (5a-5d) reproduces a 1-bit digital signal from the record medium concerned. If a receiving circuit 5 (5a-5d) receives the 1-bit digital signal which the sending circuit 3 (3a-3d) outputted, the same effectiveness as each above-mentioned operation gestalt will be acquired.

[0128] Furthermore, although each above-mentioned operation gestalt explained the case where a sound signal was transmitted as a main signal, it does not restrict to this, and if it is the signal transmitted using the 1-bit coding method by the delta sigma modulation, this invention can be applied also when transmitting other signals.

[0129]

[Effect of the Invention] The signal-transmission approach through the 1-bit digital signal concerning invention of claim 1 Before the transmission process of the main signal through a 1-bit digital signal, as mentioned above, in the above-mentioned effective frequency band And after the process which superimposes a sub-signal on the main signal of the above-mentioned 1-bit digital signal by Frequency Division Multiplexing on the specific frequency to which quantizing noise is falling by zero-point control, and the above-mentioned transmission process It is a configuration equipped with the process which discriminates from the above-mentioned specific frequency of the above-mentioned 1-bit digital signal, and extracts the above-mentioned sub-signal.

[0130] In the above-mentioned configuration, on the above-mentioned specific frequency, since the level of quantizing noise is falling, the both sides of the dynamic range of the main signal and the dynamic range of a sub-signal can be secured easily, and a sub-signal can be superimposed on the main signal by Frequency Division Multiplexing. As a result, for example, simplification of a demodulator circuit etc., the effectiveness that the main signal and a sub-signal can be superimposed is done so, without checking the advantage in the case of transmitting a signal with a 1-bit digital signal.

[0131] Moreover, the above-mentioned specific frequency is set up in the effective frequency band of the main signal. Therefore, the third person who does not know a specific frequency cannot separate the main signal and a sub-signal. Consequently, the effectiveness that the alteration of the sub-signal by the third person can be prevented certainly is done so.

[0132] The delta sigma modulation circuit concerning invention of claim 2 is a configuration equipped with a sub-signal superposition means to superimpose a sub-signal on the main signal of the above-mentioned 1-bit digital signal by Frequency Division Multiplexing on a specific frequency, as mentioned above.

[0133] So, the effectiveness that the delta sigma modulation circuit which can be modulated to a 1-bit digital signal can be offered for the main signal and a sub-signal is done like claim 1, without checking the description of the delta sigma modulation that a recovery is easy. Furthermore, the effectiveness that the removal or the alteration of a sub-signal by the third person can be made difficult is collectively done so.

[0134] The delta sigma modulation circuit concerning invention of claim 3 is the configuration that the above-mentioned sub-signal superposition means inputs the above-mentioned sub-signal into one of the inputs of the above-mentioned adder through the subcarrier of the above-mentioned specific frequency, in the configuration of invention according to claim 2 as mentioned above.

[0135] With the above-mentioned configuration, since the adder used for a delta sigma modulation is used also for superposition of a sub-signal, it does so the effectiveness that the circuit prepared for superposition can be simplified.

[0136] In the configuration of invention according to claim 2 or 3, the above-mentioned main signal of the delta sigma modulation circuit concerning invention of claim 4 is a sound signal as mentioned above, and the above-mentioned sub-signal is a configuration which is the flag for channel information, the existence of pre-emphasis, and copyright protection, an ID code, a mastering code, or the signal that shows at least one of hour entries.

[0137] With the above-mentioned configuration, each sub-signal relates to the sound signal used as the main signal closely, and shows information with little amount of information. Therefore, even if it is the case where the dynamic range of the sub-signal in a specific frequency cannot take not much widely, by sufficient S/N, a delta sigma modulation circuit superimposes a sub-signal, and can transmit or record it. Consequently, in a recovery side, the effectiveness that processing relevant to the main signal can be performed is done so based on the above-mentioned sub-signal.

[0138] As mentioned above, it is a configuration equipped with the control means which performs predetermined processing according to the sub-signal concerned while the demodulator circuit concerning invention of claim 5 is superimposed on the sub-signal by the main signal of the 1-bit digital signal generated using zero-point control by frequency division multiplex through the subcarrier of a specific frequency according to zero-point control, discriminates from the above-mentioned specific frequency component from the above-mentioned 1 bit digital signal and extracts the above-mentioned sub-signal.

[0139] With the above-mentioned configuration, in the specific frequency in the frequency band of the main signal, since the level of the quantizing noise of a 1-bit digital signal is falling, S/N of a sub-signal is fully securable. Therefore, the above-mentioned control means is an easy configuration, and does so the effectiveness that the sub-signal on which the 1-bit digital signal was overlapped can be extracted. Furthermore, since the sub-signal is superimposed by Frequency Division Multiplexing, a demodulator circuit does so collectively the effectiveness that it can restore to the main signal easily, compared with the case where it superimposes by Time Division Multiplexing.

[0140] While the above-mentioned main signal of the demodulator circuit concerning invention of claim 6 is a sound signal in the configuration of invention according to claim 5 as mentioned above and the above-mentioned sub-signal is channel information which shows the channel of the sound signal concerned, the above-mentioned control means is the configuration of performing right and left or separation of multi-channel based on the channel information concerned.

[0141] So, a demodulator circuit can judge the channel of a sound signal correctly, and even if it is the case where the sound signal of the channel which differs from usual by substitution of a transmission line etc. is inputted, it does the effectiveness which is a sound signal that it can output, by the right channel.

[0142] While the above-mentioned main signal of the demodulator circuit concerning invention of claim 7 is a sound signal in the configuration of invention according to claim 5 as mentioned above and the above-mentioned sub-signal is a flag which shows the existence of the pre-emphasis of the sound signal concerned, the above-mentioned control means is a configuration which controls ON/OFF of de-emphasis based on the flag concerned.

[0143] So, it distinguishes certainly whether a demodulator circuit is the signal with which pre-emphasis processing of the sound signal of the received 1-bit digital signal was carried out, and the effectiveness that de-emphasis can be applied to a sound signal is done.

[0144] While the above-mentioned main signal of the demodulator circuit concerning invention of claim 8 is a sound signal in the configuration of invention according to claim 5 as mentioned above and the above-mentioned sub-signal is at least one of the flag for copyright protection of the sound signal concerned, an ID code, or mastering codes, the above-mentioned control means is the configuration of restricting a copy or recovery output of the above-mentioned sound signal based on the sub-signal concerned.

[0145] In the above-mentioned configuration, the above-mentioned control means restricts a copy or recovery output of a sound signal, when a sub-signal is extracted from a 1-bit digital signal and the sub-signal has not permitted the copy or the recovery output. Thereby, it sets to a modulation side and the

effectiveness that authorization/disapproval of the copy by the side of a recovery or a recovery output can be specified is done so.

[0146] Furthermore, since Frequency Division Multiplexing of the sub-signal is carried out on the specific frequency in the effective frequency band of a sound signal, the alteration of a sub-signal is difficult for it. Consequently, a demodulator circuit does so the effectiveness that a copy or recovery output of a sound signal can be restricted certainly, based on authorization/disapproval of the copy directed to the modulation side, or a recovery output.

---

[Translation done.]